

Docket No.: 67161-081

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
:
Fumitoshi YAMAMOTO, et al. : Confirmation Number:
:
Serial No.: : Group Art Unit:
:
Filed: August 18, 2003 : Examiner:
:
For: SEMICONDUCTOR DEVICE WITH SURGE PROTECTION CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. JP2002-368456, Filed on December 19, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Gene Z. Rubinson
Registration No. 33,351

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 GZR:gav
Facsimile: (202) 756-8087
Date: August 18, 2003

67161-081

Fumitoshi, YAMAMOTO, et al.
August 18, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月19日

出 願 番 号

Application Number:

特願2002-368456

[ST.10/C]:

[JP2002-368456]

出 願 人

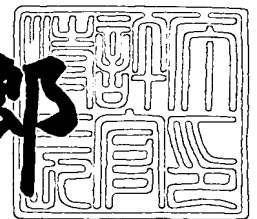
Applicant(s):

三菱電機株式会社
協栄産業株式会社

2003年 1月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3001029

【書類名】 特許願

【整理番号】 540753JP01

【提出日】 平成14年12月19日

【あて先】 特許庁長官殿

【国際特許分類】 H02H 7/20

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山本 文寿

【発明者】

【住所又は居所】 東京都渋谷区松濤二丁目20番4号 協栄産業株式会社
内

【氏名】 村井 保文

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原四丁目1番地 菱電セミコンダクタシ
ステムエンジニアリング株式会社内

【氏名】 古谷 啓一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 000162320

【氏名又は名称】 協栄産業株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 信号入力端子に電氣的に接続され、かつ第 1 のトランジスタと第 2 のトランジスタとを有するサージ保護回路を備えた半導体装置であって、

前記第 1 のトランジスタのベースの一番狭い領域が前記第 2 のトランジスタのベースの一番狭い領域とは異なる幅を有する構成により、前記第 1 のトランジスタが前記第 2 のトランジスタよりも降伏しやすくなるように構成された、半導体装置。

【請求項 2】 前記第 1 のトランジスタの前記ベースとして機能する領域は、前記第 2 のトランジスタの前記ベースとして機能する領域とは異なる不純物濃度を有する構成により、前記第 1 のトランジスタが前記第 2 のトランジスタよりも降伏しやすくなるように構成された、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 のトランジスタの前記ベースの一番狭い領域は、前記第 2 のトランジスタの前記ベースの一番狭い領域よりも狭いことを特徴とする、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記サージ保護回路は、前記第 1 のトランジスタのコレクタと前記第 2 のトランジスタのコレクタとが前記信号入力端子に電氣的に接続されており、前記第 1 のトランジスタの前記ベースと前記第 2 のトランジスタの前記ベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されており、前記第 1 のトランジスタのエミッタは、前記第 1 のトランジスタの前記ベースおよび前記第 2 のトランジスタの前記ベースとに電氣的に接続されていることを特徴とする、請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 5】 前記第 1 のトランジスタの前記ベースとなる不純物拡散領域と、前記第 2 のトランジスタの前記ベースとなる不純物拡散領域とは、互いに異なる不純物拡散領域よりなっており、かつ互いに電氣的に接続されていることを特徴とする、請求項 4 に記載の半導体装置。

【請求項 6】 前記第 1 のトランジスタの前記ベースと、前記第 2 のトランジスタの前記ベースとは同一の不純物拡散領域よりなっていることを特徴とする

、請求項 4 に記載の半導体装置。

【請求項 7】 前記サージ保護回路は、さらに抵抗素子を有し、前記第 2 のトランジスタのエミッタと前記抵抗素子の一方とが前記信号入力端子に電氣的に接続されており、前記第 1 のトランジスタの前記ベースと前記第 2 のトランジスタのコレクタとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されており、前記第 1 のトランジスタのエミッタは、前記第 1 のトランジスタの前記ベースおよび前記第 2 のトランジスタの前記コレクタとに電氣的に接続されており、前記第 1 のトランジスタのコレクタは、前記第 2 のトランジスタの前記ベースおよび前記抵抗素子の他方と電氣的に接続されていることを特徴とする、請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 8】 前記第 1 のトランジスタの前記ベースと前記第 2 のトランジスタの前記コレクタとが同一の不純物拡散領域により構成されていることを特徴とする、請求項 7 に記載の半導体装置。

【請求項 9】 前記第 1 および第 2 のトランジスタが形成されるエピタキシャル層とは電氣的に分離されたエピタキシャル層に、前記第 1 のトランジスタの前記エミッタおよび前記ベースと前記第 2 のトランジスタの前記コレクタとが電氣的に接続されていることを特徴とする、請求項 7 または 8 に記載の半導体装置。

【請求項 10】 前記第 2 のトランジスタの前記エミッタは、第 1 のエミッタ不純物拡散領域と第 2 のエミッタ不純物拡散領域とを有し、前記第 2 のエミッタ不純物拡散領域は前記第 1 のエミッタ不純物拡散領域の周囲を取り囲んでおり、かつ前記第 2 のトランジスタの前記ベースを構成するベース不純物拡散領域と p n 接合を構成していることを特徴とする、請求項 7 から 9 のいずれかに記載の半導体装置。

【請求項 11】 エピタキシャル層内の前記第 1 のトランジスタと前記第 2 のトランジスタとが形成される領域の側部および下部を取り囲むように前記エピタキシャル層よりも高い不純物濃度を有する高濃度不純物拡散領域が形成されていることを特徴とする、請求項 7 から 10 のいずれかに記載の半導体装置。

【請求項 12】 前記抵抗素子を構成する抵抗用不純物拡散領域は、前記第

1 および第 2 のトランジスタが形成されるエピタキシャル層内に形成されており、かつ前記抵抗用不純物拡散領域は逆導電型の抵抗分離用不純物拡散領域により周囲を覆われていることを特徴とする、請求項 6 から 1 1 のいずれかに記載の半導体装置。

【請求項 1 3】 前記抵抗素子は、半導体基板の表面より上に形成された導電層であることを特徴とする、請求項 6 から 1 1 のいずれかに記載の半導体装置。

【請求項 1 4】 前記サージ保護回路は、さらに抵抗素子を有し、前記第 2 のトランジスタのエミッタと前記抵抗素子の一方とが前記信号入力端子に電氣的に接続されており、前記第 1 のトランジスタの前記ベースと前記第 2 のトランジスタの前記ベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されており、前記第 1 のトランジスタのエミッタは、前記第 1 のトランジスタの前記ベースおよび前記第 2 のトランジスタの前記ベースおよび前記抵抗素子の他方とに電氣的に接続されており、前記第 1 のトランジスタのコレクタは、前記第 2 のトランジスタのコレクタと電氣的に接続されていることを特徴とする、請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 1 5】 前記半導体装置は、主表面を有する半導体基板と、前記半導体基板の主表面に形成されたフィールド酸化膜とを備え、前記第 1 のトランジスタの前記エミッタと前記コレクタとは、互いに前記フィールド酸化膜をはさむように前記半導体基板の主表面に形成されていることを特徴とする、請求項 1 4 に記載の半導体装置。

【請求項 1 6】 前記半導体装置は、主表面に第 1 導電型のエピタキシャル層を有する半導体基板を備え、前記第 1 のトランジスタの前記ベースは、前記第 1 のトランジスタの前記エミッタの周囲を取り囲み、かつ前記エピタキシャル層よりも高い不純物濃度を有する第 1 導電型の第 1 拡散領域を有しており、かつ前記第 2 のトランジスタの前記コレクタは、第 2 導電型の第 2 拡散領域を有していて、前記第 1 拡散領域と前記第 2 拡散領域とは、前記エピタキシャル層内の主表面に互いに隣接していることを特徴とする、請求項 1 4 または 1 5 に記載の半導体装置。

【請求項 1 7】 信号入力端子に電氣的に接続され、かつ第 1 のトランジスタと第 2 のトランジスタとを有するサージ保護回路を備えた半導体装置であって

前記第 1 のトランジスタのベースとして機能する領域が前記第 2 のトランジスタのベースとして機能する領域とは異なる不純物濃度を有する構成により、前記第 1 のトランジスタが前記第 2 のトランジスタよりも降伏しやすくなるように構成された、半導体装置。

【請求項 1 8】 前記第 1 のトランジスタの前記ベースとして機能する領域は、前記第 2 のトランジスタの前記ベースとして機能する領域よりも不純物濃度が高いことを特徴とする、請求項 1 7 に記載の半導体装置。

【請求項 1 9】 信号入力端子に電氣的に接続され、かつ第 1 のトランジスタと第 2 のトランジスタとを有するサージ保護回路を備えた半導体装置であって

主表面を有する半導体基板と、

前記半導体基板の主表面に形成されたフィールド酸化膜とを備え、

前記第 1 のトランジスタのエミッタと前記第 2 のトランジスタのコレクタとが前記信号入力端子に電氣的に接続されており、

前記第 1 のトランジスタのコレクタと前記第 2 のトランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されており、

前記第 1 のトランジスタのベースは、前記第 1 のトランジスタの前記エミッタおよび前記第 2 のトランジスタの前記コレクタとに電氣的に接続されており、

前記第 1 のトランジスタの前記エミッタと前記ベースとの p n 接合部は前記フィールド酸化膜の一方端に接しており、かつ前記コレクタと前記ベースとの p n 接合部は前記フィールド酸化膜の他方端に接している、半導体装置。

【請求項 2 0】 信号入力端子に電氣的に接続され、かつ第 1 のトランジスタと第 2 のトランジスタとを有するサージ保護回路を備えた半導体装置であって

主表面に第 1 導電型のエピタキシャル層を有する半導体基板を備え、

前記第 1 のトランジスタのエミッタと前記第 2 のトランジスタのコレクタとが

前記信号入力端子に電氣的に接続されており、

前記第 1 のトランジスタのコレクタと前記第 2 のトランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに共通の第 2 導電型の第 1 拡散領域よりなっており、

前記第 1 のトランジスタのベースは、前記第 1 のトランジスタの前記エミッタおよび前記第 2 のトランジスタの前記コレクタに電氣的に接続されており、

前記第 1 のトランジスタのベースは、前記第 1 のトランジスタのエミッタの周囲を取り囲み、かつ前記エピタキシャル層よりも高い不純物濃度を有する第 1 導電型の第 2 拡散領域を有しており、

前記第 1 拡散領域と前記第 2 拡散領域とは、前記エピタキシャル層内の主表面に互いに隣接している、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、より特定的にはサージ保護回路を備えた半導体装置に関する。

【0002】

【従来の技術】

自動車、モーター、蛍光表示、オーディオ等やトランジスタ素子等よりなる IC (Integrated Circuit) を瞬間的に大きく増加した電流あるいは電圧 (サージ) から保護するためのサージ保護回路として、様々なものが提案されてきた。従来のサージ保護回路は、たとえば特開昭 5 8 - 7 4 0 8 1 号公報 (特許文献 1) に示されている。

【0003】

上記公報に開示された構成によれば、従来のサージ保護回路は横型 p n p トランジスタと縦型 n p n トランジスタとを有している。横型 p n p トランジスタのベースとエミッタと縦型 n p n トランジスタのコレクタとは各々が入力端子に電氣的に接続されている。縦型 n p n トランジスタのコレクタと横型 p n p トランジスタのベースとは同一の n 型エピタキシャル層で形成されている。横型 p n p

トランジスタのコレクタと縦型 $n p n$ トランジスタのベースとは、上記 n 型エピタキシャル層内に形成された同一の p 型不純物領域で形成されている。縦型 $n p n$ トランジスタのエミッタは、上記 p 型不純物領域内に形成された n 型不純物領域で形成されている。

【 0 0 0 4 】

続いて、上記公報に示すサージ保護回路の動作について説明する。入力端子にサージが印加されると、横型 $p n p$ トランジスタにおいてコレクタ・ベース接合の空乏層がエミッタ・ベース接合の空乏層に到達し、パンチスルー降伏することによりエミッタからコレクタへ電流が流れる。この電流が縦型 $n p n$ トランジスタのベース電流となり、縦型 $n p n$ トランジスタが導通するため、入力端子に印加されたサージの電荷が縦型 $n p n$ トランジスタのエミッタ側から放電される。

【 0 0 0 5 】

また、上記以外のサージ保護回路は、たとえば特開平 5 - 2 0 6 3 8 5 号公報および特開昭 5 6 - 1 9 6 5 7 号公報に開示されている（特許文献 2、3 参照）。

【 0 0 0 6 】

【特許文献 1】

特開昭 5 8 - 7 4 0 8 1 号公報

【 0 0 0 7 】

【特許文献 2】

特開平 5 - 2 0 6 3 8 5 号公報

【 0 0 0 8 】

【特許文献 3】

特開昭 5 6 - 1 9 6 5 7 号公報

【 0 0 0 9 】

【発明が解決しようとする課題】

上記公報に示すサージ保護回路が正常に動作するためには、横型 $p n p$ トランジスタが縦型 $n p n$ トランジスタよりも低い電圧で降伏する必要がある。しかし、上記公報に示された構成では、横型 $p n p$ トランジスタの降伏する電圧（以下

、耐圧)が縦型npnトランジスタの耐圧よりも高くなる場合があり、このような場合には、サージ保護回路が正常に動作しないという問題があった。

【0010】

具体的には、上記公報に示すサージ保護回路においては、縦型npnトランジスタのベース領域と横型pnpトランジスタのコレクタ領域とは同一濃度の同一領域(つまり、同一のp型不純物領域)で形成されている。さらに、縦型npnトランジスタのコレクタ領域と横型pnpトランジスタのベース領域とは同一濃度の同一領域(つまり、同一のn型エピタキシャル層)で形成されている。したがって、横型pnpトランジスタのベース・コレクタの空乏層と縦型pnpトランジスタのベース・コレクタの空乏層とは同程度の厚さとなるので、アバランシェ降伏の起こりやすさが同程度であり、横型pnpトランジスタの耐圧と縦型npnトランジスタの耐圧とは同程度となっていた。このため、横型pnpトランジスタが縦型npnトランジスタよりも先に降伏することもあり、サージ保護回路の動作が不安定であった。

【0011】

したがって本発明の目的は、正常に動作するサージ保護回路を備える半導体装置を提供することである。

【0012】

【課題を解決するための手段】

本発明のサージ保護回路を備える半導体装置は、信号入力端子に電氣的に接続され、かつ第1のトランジスタと第2のトランジスタとを有するサージ保護回路を備えた半導体装置であって、第1のトランジスタのベースの一番狭い領域が第2のトランジスタのベースの一番狭い領域とは異なる幅を有する構成により、第1のトランジスタが第2のトランジスタよりも降伏しやすくなるように構成されている。

【0013】

なお、本明細書においてベースとして機能する領域とは、ベースを構成する不純物拡散領域のうち、エミッタを構成する不純物拡散領域およびコレクタを構成する不純物拡散領域の各々とpn接合を構成する不純物拡散領域のことである。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態 1)

図 1 は本発明の実施の形態 1 におけるサージ保護回路を示す回路図である。

【 0 0 1 5 】

図 1 を参照して、サージ保護回路 5 1 は、 $n p n$ トランジスタ 3 2 と $n p n$ トランジスタ 3 3 とを備えている。 $n p n$ トランジスタ 3 2 のコレクタおよび $n p n$ トランジスタ 3 3 のコレクタは信号入力端子 3 4 および装置部分 3 6 に電氣的に接続されている。 $n p n$ トランジスタ 3 2 のベースと $n p n$ トランジスタ 3 3 のベースとは互いに電氣的に接続されている。 $n p n$ トランジスタ 3 2 のエミッタは、 $n p n$ トランジスタ 3 2 のベースおよび $n p n$ トランジスタ 3 3 のベースの双方に電氣的に接続されている。 $n p n$ トランジスタ 3 3 のエミッタは接地電位 3 5 に電氣的に接続されている。

【 0 0 1 6 】

続いて、実施の形態 1 におけるサージ保護回路を備えた半導体装置の構成について説明する。

【 0 0 1 7 】

図 2 は、本発明の実施の形態 1 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 3 は図 2 の $I I I - I I I$ 線に沿った断面図である。

【 0 0 1 8 】

図 2 および図 3 を参照して、半導体装置 6 1 において、たとえばシリコン単結晶よりなる半導体基板 9 1 の下部に p^- 領域 1 が形成されている。 p^- 領域 1 の上には注入拡散により n^+ 拡散層 2 が形成されている。この n^+ 拡散層 2 の上に n^- エピタキシャル層 4 が形成されている。この n^- エピタキシャル層 4 の周囲を取り囲むように、 p^- 領域 1 上に p^+ 拡散層 3 a と p 型拡散層 6 a とが形成されている。

【 0 0 1 9 】

この n^+ 拡散層 2 および n^- エピタキシャル層 4 内には、サージ保護回路を構成する npn トランジスタ 3 2 と npn トランジスタ 3 3 とが形成されている。npn トランジスタ 3 2 と npn トランジスタ 3 3 との各々は、エミッタ領域とベース領域とコレクタ領域とを有している。

【0020】

n pn トランジスタ 3 2 において、コレクタ領域は、 n^+ 拡散層 2 と、 n^- エピタキシャル層 4 と、 n^- エピタキシャル層 4 内に形成された n^+ 拡散層 8 a とにより構成されている。ベース領域は、 n^- エピタキシャル層 4 内に形成された p^+ 拡散層 2 1 と、その p^+ 拡散層 2 1 内に形成された p^+ 拡散層 9 a とにより構成されている。エミッタ領域は、 p^+ 拡散層 2 1 内で p^+ 拡散層 9 a と隣接するように形成された n^+ 拡散層 8 b により構成されている。

【0021】

n pn トランジスタ 3 3 において、コレクタ領域は、 n^- エピタキシャル層 4 と n^+ 拡散層 2 と n^+ 拡散層 8 a とで構成されており、npn トランジスタ 3 2 のコレクタと同一の不純物領域で構成されている。ベース領域は、 n^- エピタキシャル層 4 内に形成された p 型拡散層 6 b により構成されている。エミッタ領域は、p 型拡散層 6 b 内に形成された n^+ 拡散層 8 c により構成されている。

【0022】

n pn トランジスタ 3 2 のベース領域である p^+ 拡散層 2 1 と npn トランジスタ 3 3 のベース領域である p 型拡散層 6 b とは互い異なる不純物拡散領域よりなっており、かつ互いに電氣的に接続されている。なお、幅 t 1 は、npn トランジスタ 3 3 のベースである p 型拡散層 6 b の一番狭い領域の幅を示しており、たとえば n^+ 拡散層 8 c の真下に位置する p 型拡散層 6 b の深さ方向の幅（深さ）を示している。また、幅 t 2 は、npn トランジスタ 3 2 のベースである p^+ 拡散層 2 1 の一番狭い領域の幅を示しており、たとえば n^+ 拡散層 8 b の真下に位置する p^+ 拡散層 2 1 の深さ方向の幅（深さ）を示している。幅 t 2 は幅 t 1 よりも狭い。 p^+ 拡散層 2 1 は p 型拡散層 6 b よりも不純物濃度が高い。

【0023】

なお、 p^+ 拡散層 2 1 が npn トランジスタ 3 2 のベースとして機能する領域

であり、p型拡散層6bがnpnトランジスタ33のベースとして機能する領域である。

【0024】

また、p型拡散層6a、6bは、たとえば約 10^{13} 個/cm³の不純物濃度となるようにB（ボロン）をn⁻エピタキシャル層4に注入することにより形成されている。p⁺拡散層21は、たとえばn⁻エピタキシャル層4とp型拡散層6bとの表面を数10nm熱酸化し、その表面にたとえば約 10^{14} 個/cm³オーダーの不純物濃度となるようにBを注入することにより形成されている。n⁺拡散層8bは、p⁺拡散層21の表面において、たとえば約 10^{15} 個/cm³の濃度となるようにAs（ヒ素）を注入することにより形成されている。p⁺拡散層9aは、p⁺拡散層21の表面において、たとえば約 10^{15} 個/cm³の濃度となるようにBまたはBF₂を注入することにより形成されている。

【0025】

また、n⁺拡散層8bが形成される工程と同一の工程により、n⁻エピタキシャル層4の表面およびp型拡散層6bの表面にそれぞれn⁺拡散層8a、8cが形成されている。また、p⁺拡散層9aが形成される工程と同一の工程により、p型拡散層6aの表面にp⁺拡散層9bが形成されている。n⁺拡散層8aと、p⁺拡散層21およびn⁺拡散層8bおよびp⁺拡散層9aおよびp型拡散層6bと、n⁺拡散層8cと、p⁺拡散層9bとは、LOCOS（Local Oxidation of Silicon）法により形成されたフィールド酸化膜7によって各々電氣的に分離されている。

【0026】

半導体基板91表面を覆うように層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール11a～11dが各々形成されている。これにより、n⁺拡散層8aとn⁺拡散層8bおよびp⁺拡散層9aとn⁺拡散層8cとp⁺拡散層9bとの表面が露出されている。そして、コンタクトホール11a～11dの各々を介して上記の露出した各領域に電氣的に接続するように層間絶縁膜10上に、たとえば不純物が導入された多結晶シリコン（以下、ドーフトポリシリコンと称する）よりなる配線12a～12cが形成されている。これにより、n⁺

拡散層 8 b と p^+ 拡散層 9 a とが電氣的に接続されていて、 n^+ 拡散層 8 c と p^+ 拡散層 9 b が電氣的に接続されている。

【 0 0 2 7 】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図 1 を参照して、サージ電圧が信号入力端子 3 4 に印加されると、 $n p n$ トランジスタ 3 2 のエミッタ・コレクタ間の電圧が上昇することにより、 $n p n$ トランジスタ 3 2 が降伏する。 $n p n$ トランジスタ 3 2 が降伏すると、 $n p n$ トランジスタ 3 3 のベースに電流が流れ、 $n p n$ トランジスタ 3 3 が ON する。 $n p n$ トランジスタ 3 3 が ON すると、信号入力端子 3 4 に印加されたサージ電圧は $n p n$ トランジスタ 3 3 を介して接地電位 3 5 に開放される。これにより、装置部分 3 6 にサージ電圧が印可されることが防止される。

【 0 0 2 8 】

続いて、トランジスタの降伏現象について説明する。トランジスタの降伏現象には大きく分けてアバランシェ降伏とパンチスルー降伏がある。アバランシェ降伏とは、大きな逆方向電圧が印加された場合に、空乏層内で生じた電子と正孔の対が電界で加速され、結晶を構成する電子と高速で衝突することによって、電子と正孔の対が指数関数的に増加して電流が流れる現象である。ここで、互いに接合する p 型領域および n 型領域の濃度が高い場合には空乏層幅が小さくなり空乏層内の電界が大きくなるので、電子と正孔の対が増加しやすい。したがって、トランジスタにおいて、ベースとして機能する領域の濃度が高いほどアバランシェ降伏が起こりやすくなる。

【 0 0 2 9 】

一方、パンチスルー降伏とは、特にベース領域の濃度が低いトランジスタに大きな逆方向電圧を加えた場合に、ベース・コレクタの空乏層が伸びて、エミッタ・ベース接合の空乏層に接触することで、電位の障壁が下がってエミッタから空乏層を通して直接コレクタへ電子または正孔が流れ込み、電流が流れる現象である。

【 0 0 3 0 】

本実施の形態においては、 $n p n$ トランジスタ 3 2 のベースとなる p^+ 拡散層

21の一番狭い領域の幅 t_2 は、npnトランジスタ33のベースとなるp型拡散領域6bの幅 t_1 よりも狭い。これにより、npnトランジスタ32はnpnトランジスタ33よりもパンチスルー降伏しやすい構成を有している。

【0031】

また、本実施の形態においては、npnトランジスタ32のベースとして機能する p^+ 拡散層21はnpnトランジスタ33のベースとして機能するp型拡散層6bよりも高い不純物濃度を有している。これにより、npnトランジスタ32はnpnトランジスタ33よりもアバランシェ降伏しやすい構成を有している。

【0032】

このように本実施の形態では、npnトランジスタ32がnpnトランジスタ33より先に確実に降伏（アバランシェ降伏またはパンチスルー降伏）するように構成されているため、従来例のようにnpnトランジスタ33がnpnトランジスタ32よりも先に降伏するといった誤作動を防止することができる。つまり、npnトランジスタ32がnpnトランジスタ33よりも先に確実に降伏することで、npnトランジスタ33が確実にONし、それにより信号入力端子34に印加されたサージ電圧が確実に開放されるため、誤作動を防止でき正常に動作するサージ保護回路を実現することができる。

【0033】

なお、本実施の形態においては、 p^+ 拡散層21の幅 t_2 がp型拡散層6bの幅 t_1 よりも狭い構成（1）と、 p^+ 拡散層21がp型拡散層6bよりも高い不純物濃度を有する構成（2）との双方の構成を有する場合について説明したが、上記2つの構成（1）および（2）の少なくとも1つの構成を有していればよい。具体的には、上記構成（1）を有し、それによりnpnトランジスタ32がnpnトランジスタ33よりも先にパンチスルー降伏を起こすように構成されていれば、 p^+ 拡散層21はp型拡散層6bよりも低い不純物濃度を有していてもよい。また、上記構成（2）を有し、それによりnpnトランジスタ32がnpnトランジスタ33よりも先にアバランシェ降伏を起こすように構成されていれば、 p^+ 拡散層21の幅 t_2 はp型拡散層6bの幅 t_1 よりも広くてもよい。要は

、上記構成（１）および（２）の少なくともいずれかの構成が採用されることで、 n p n トランジスタ３２が n p n トランジスタ３３より先に確実に降伏（パンチスルー降伏またはアバランシェ降伏）するようにサージ保護回路が構成されていけばよい。

【 0 0 3 4 】

さらに、本実施の形態においては、 n p n トランジスタ３２のベース領域である p^+ 拡散層２１と n p n トランジスタ３３のベース領域である p 型拡散層６ｂとは互いに異なる不純物拡散領域よりなっており、かつ互いに電氣的に接続されている。これにより、 n p n トランジスタ３２のベース領域の濃度と n p n トランジスタ３３のベース領域の濃度とを互いに異なる濃度に制御可能である。また、 n p n トランジスタ３２のベース領域の幅 t_2 と n p n トランジスタ３３のベース領域の幅 t_1 とを互いに異なる幅に制御可能である。したがって、 n p n トランジスタ３２のベース領域の構成により、容易に n p n トランジスタ３２の耐圧を n p n トランジスタ３３の耐圧よりも低くすることができ、正常に動作するサージ保護回路が容易に作成可能となる。

（実施の形態２）

図４は、本発明の実施の形態２におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【 0 0 3 5 】

図４を参照して、本実施の形態における半導体装置は、 n p n トランジスタ３２のベース領域と n p n トランジスタ３３のベース領域とが同一の p 型拡散層６ｂを共有している点において実施の形態１の構成と異なる。このため、 n^+ 拡散層８ｃ、 p^+ 拡散層９ａおよび n^+ 拡散層８ｂは、この p 型拡散層６ｂ内に形成されている。

【 0 0 3 6 】

n p n トランジスタ３２のベース領域は、 p 型拡散層６ｂと p^+ 拡散層９ａとで構成されている。また、 n p n トランジスタ３３のベース領域は、 p 型拡散層６ｂにより構成されている。この構成においては、 n p n トランジスタ３２のベース領域の一番狭い領域は n^+ 拡散層８ｂの図中横側の p 型拡散層６ｂの領域で

あり、幅 s_1 を有している。npn トランジスタ 33 のベース領域の一番狭い領域は n^+ 拡散層 8c の図中真下の p 型拡散層 6b の領域であり、幅 t_1 を有している。そしてその幅 s_1 は幅 t_1 よりも狭い。また、p 型拡散層 6b が npn トランジスタ 32 のベースとして機能する領域および npn トランジスタ 33 のベースとして機能する領域である。

【0037】

なお、これ以外の構成については図 1～図 3 に示す実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0038】

本実施の形態においては、npn トランジスタ 32 のベース領域である p 型拡散層 6b と npn トランジスタ 33 のベース領域である p 型拡散層 6b とは同一の不純物拡散領域よりなっている。このような構成であっても、npn トランジスタ 32 のベース領域の幅 s_1 を npn トランジスタ 33 のベース領域の幅 t_1 よりも狭くすることにより、npn トランジスタ 32 は npn トランジスタ 33 よりもパンチスルー降伏しやすくなる。したがって、正常に動作するサージ保護回路が形成可能となるとともに、不純物拡散領域の数が減少するので、半導体装置の製造工程が簡略化する。

(実施の形態 3)

図 5 は、本発明の実施の形態 3 におけるサージ保護回路を示す回路図である。

【0039】

図 5 を参照して、サージ保護回路 52 は、npn トランジスタ 37 と pnp トランジスタ 38 と抵抗素子 39 とを備えている。pnp トランジスタ 38 のエミッタおよび抵抗素子 39 の一方は信号入力端子 34 および装置部分 36 に各々電氣的に接続されている。npn トランジスタ 37 のベースと pnp トランジスタ 38 のコレクタとは互いに電氣的に接続されていて、かつ接地電位 35 に各々電氣的に接続されている。npn トランジスタ 37 のエミッタは、npn トランジスタ 37 のベースおよび pnp トランジスタ 38 のコレクタおよび接地電位 35 に電氣的に接続されている。npn トランジスタ 37 のコレクタは、pnp トラ

ンジスタ 3 8 のベースおよび抵抗素子 3 9 の他方の双方に電氣的に接続されている。

【 0 0 4 0 】

続いて、実施の形態 3 におけるサージ保護回路を備えた半導体装置の構成について説明する。

【 0 0 4 1 】

図 6 は、本発明の実施の形態 3 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 7 は図 6 の V I I - V I I 線に沿った断面図である。

【 0 0 4 2 】

図 6 および図 7 を参照して、半導体装置 6 2 において、たとえばシリコン単結晶よりなる半導体基板 9 2 の下部に p^- 領域 1 が形成されている。 p^- 領域 1 の上には注入拡散により n^+ 拡散層 2 a、2 b の各々が形成されている。この n^+ 拡散層 2 a、2 b の各々の上に n^- エピタキシャル層 4 a、4 b の各々が形成されている。 n^- エピタキシャル層 4 a、4 b を取り囲むように、 p^+ 拡散層 3 c と p 型拡散層 6 c とが形成されている。これにより、 n^- エピタキシャル層 4 a と n^- エピタキシャル層 4 b とは電氣的に分離されている。また、 n^+ 拡散層 2 a と n^+ 拡散層 2 b とは電氣的に分離されている。

【 0 0 4 3 】

この n^+ 拡散層 2 b および n^- エピタキシャル層 4 a 内には、サージ保護回路を構成する $n p n$ トランジスタ 3 7 と $p n p$ トランジスタ 3 8 とが形成されている。 $n p n$ トランジスタ 3 7 と $p n p$ トランジスタ 3 8 とはエミッタ領域とベース領域とコレクタ領域を各々有している。

【 0 0 4 4 】

$n p n$ トランジスタ 3 7 において、コレクタ領域は、 n^+ 拡散層 2 b と、 n^- エピタキシャル層 4 a と、 n^- エピタキシャル層 4 a 内に形成された n^+ 拡散層 8 d とにより構成されている。ベース領域は、 n^- エピタキシャル層 4 a 内に形成された p^+ 拡散層 2 1 と、 n^- エピタキシャル層 4 a 内で p^+ 拡散層 2 1 と隣接するように形成された p 型拡散層 6 g と、その p 型拡散層 6 g 内に形成された p^+ 拡

散層 9 g とで構成されている。エミッタ領域は、 p^+ 拡散層 2 1 内で p^+ 拡散層 9 g と隣接するように形成された n^+ 拡散層 8 e により構成されている。

【0 0 4 5】

p n p トランジスタ 3 8 において、エミッタ領域は、 n^- エピタキシャル層 4 a 内に形成された p^+ 拡散層 9 f で構成されている。ベース領域は n^- エピタキシャル層 4 a と n^+ 拡散層 2 b とで形成されている。コレクタ領域は p 型拡散層 6 g と p^+ 拡散層 9 g とで形成されている。

【0 0 4 6】

なお、p 型拡散層 6 g と p^+ 拡散層 9 g とは p^+ 拡散層 9 f の図中横側を取り囲むように半導体基板 9 2 の表面に形成されている。

【0 0 4 7】

n^- エピタキシャル層 4 b 内には、サージ保護回路を構成する抵抗素子 3 9 が形成されている。抵抗素子 3 9 は、 n^- エピタキシャル層 4 b 内に形成された p^+ 拡散層 1 5 と、その p^+ 拡散層 1 5 内に形成された p^+ 拡散層 9 c、9 d とで構成されている。

【0 0 4 8】

なお、この構成において、n p n トランジスタ 3 7 のベース領域の一番狭い領域は n^+ 拡散層 8 e の図中真下の p^+ 拡散層 2 1 の領域であり、幅 t 3 を有している。p n p トランジスタ 3 8 のベース領域の一番狭い領域は p^+ 拡散層 9 f の図中横側の n^- エピタキシャル層 4 a の領域であり、幅 s 2 を有している。そしてその幅 t 3 は幅 s 2 よりも狭い。また、 p^+ 拡散層 2 1 が n p n トランジスタ 3 7 のベースとして機能する領域であり、 n^- エピタキシャル層 4 a が p n p トランジスタ 3 8 のベースとして機能する領域である。n p n トランジスタ 3 7 のベースとして機能する領域である p^+ 拡散層 2 1 と、p n p トランジスタ 3 8 のベースとして機能する領域である n^- エピタキシャル層 4 a とは、互いに逆導電型の領域よりなっている。

【0 0 4 9】

なお、 p^+ 拡散層 1 5 は、たとえば n^- エピタキシャル層 4 b の表面を数 1 0 n m 熱酸化し、その表面に B を $1 0^{14}$ 個 / cm^3 オーダーの不純物濃度となるよう

に注入することにより形成されている。また、 n^+ 拡散層 8 e が形成される工程と同一の工程により、 n^- エピタキシャル層 4 a の表面に n^+ 拡散層 8 d が形成されている。加えて、 p^+ 拡散層 9 g が形成される工程と同一の工程により、 p^+ 拡散層 1 5 の表面に p^+ 拡散層 9 c、9 d が形成され、 n^- エピタキシャル層 4 a の表面に p^+ 拡散層 9 f が形成され、 p 型拡散層 6 c の表面に p^+ 拡散層 9 h が形成されている。また、 p^+ 拡散層 1 5 および p^+ 拡散層 9 c、9 d と、 n^+ 拡散層 8 d と、 p^+ 拡散層 9 g と、 p^+ 拡散層 9 f と、 p^+ 拡散層 9 g および n^+ 拡散層 8 e および p^+ 拡散層 2 1 と、 p^+ 拡散層 9 h とは、フィールド酸化膜 7 によって各々電氣的に分離されている。

【0050】

半導体基板 9 2 表面を覆うように層間絶縁膜 1 0 が形成されている。層間絶縁膜 1 0 にはコンタクトホール 1 1 e ~ 1 1 j が各々形成されている。これにより、 p^+ 拡散層 9 c と p^+ 拡散層 9 d と n^+ 拡散層 8 d と p^+ 拡散層 9 f と p^+ 拡散層 9 g および n^+ 拡散層 8 e と p^+ 拡散層 9 h との表面が露出されている。そして、コンタクトホール 1 1 e ~ 1 1 j の各々を介して上記の露出した各領域に電氣的に接続するように層間絶縁膜 1 0 上に、たとえばドーフトポリシリコンよりなる配線 1 2 d ~ 1 2 g が形成されている。これにより、 p^+ 拡散層 9 d と n^+ 拡散層 8 d とが電氣的に接続されていて、 p^+ 拡散層 9 g および n^+ 拡散層 8 e と p^+ 拡散層 9 h とが各々電氣的に接続されている。配線 1 2 d ~ 1 2 g を覆うように層間絶縁膜 1 6 が形成されている。層間絶縁膜 1 6 にはコンタクトホール 1 7 a、1 7 b が各々形成されている。そして、コンタクトホール 1 7 a、1 7 b 内に、たとえばドーフトポリシリコンよりなる配線 1 8 が形成されている。これにより、配線 1 2 d と配線 1 2 f とが電氣的に接続されている。

【0051】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図 5 を参照して、サージ電圧が信号入力端子 3 4 に印加されると、 $n p n$ トランジスタ 3 7 のエミッタ・コレクタ間の電圧が上昇することにより、 $n p n$ トランジスタ 3 7 が降伏する。 $n p n$ トランジスタ 3 7 が降伏すると、抵抗素子 3 9 の両端に電位差が生じて抵抗素子 3 9 に電流が流れ、 $p n p$ トランジスタ 3 8 の

ベースの電位が接地電位になる。これにより p n p トランジスタ 3 8 が ON し、信号入力端子 3 4 に入力されたサージ電圧は p n p トランジスタ 3 8 を介して接地電位 3 5 に開放される。これにより、装置部分 3 6 にサージ電圧が印可されることが防止される。

【 0 0 5 2 】

本実施の形態においては、n p n トランジスタ 3 7 のベース領域である p^+ 拡散層 2 1 と、p n p トランジスタ 3 8 のベース領域である n^- エピタキシャル層 4 a とは互いに逆導電型の領域よりなっている。これにより、n p n トランジスタ 3 7 のベースの幅 t_3 を p n p トランジスタ 3 8 のベースの幅 s_2 よりも狭くすることで、n p n トランジスタ 3 2 は n p n トランジスタ 3 3 よりもパンチスルー降伏しやすい構成となる。また、n p n トランジスタ 3 7 のベースとして機能する p^+ 拡散層 2 1 を p n p トランジスタ 3 8 のベースとして機能する n^- エピタキシャル層よりも不純物濃度を高くすることで、n p n トランジスタ 3 7 は p n p トランジスタ 3 8 よりもアバランシェ降伏しやすい構成となる。

【 0 0 5 3 】

したがって、n p n トランジスタ 3 7 が p n p トランジスタ 3 8 より先に確実に降伏（アバランシェ降伏またはパンチスルー降伏）するように構成されることで、サージ保護回路が正常に動作する。

【 0 0 5 4 】

なお、本実施の形態においては、 p^+ 拡散層 2 1 の幅 t_3 が n^- エピタキシャル層 4 a の幅 s_2 よりも狭い構成（１）と、 p^+ 拡散層 2 1 が n^- エピタキシャル層 4 a よりも高い不純物濃度を有する構成（２）との双方の構成を有する場合について説明したが、上記 2 つの構成（１）および（２）の少なくとも 1 つの構成を有していればよい。

（実施の形態 4）

図 8 は、本発明の実施の形態 4 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【 0 0 5 5 】

図 8 を参照して、本実施の形態における半導体装置では、 p^+ 拡散層 3 c と p

型拡散層 6 c とにより n^+ 拡散層 2 b および n^- エピタキシャル層 4 a から電氣的に分離された n^+ 拡散層 2 c および n^- エピタキシャル層 4 c が形成されている。
 n^- エピタキシャル層 4 c の表面には n^+ 拡散層 8 f が形成されていて、 n^+ 拡散層 8 f の表面が露出するようにコンタクトホール 1 1 q が開口されている。コンタクトホール 1 1 q 内には配線 1 2 g が形成されていて、これにより、 n^+ 拡散層 8 f と p^+ 拡散層 9 h と n^+ 拡散層 8 e および p^+ 拡散層 9 g とが電氣的に接続されている。

【0 0 5 6】

なお、これ以外の構成については図 5 ～ 図 7 に示す実施の形態 3 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0 0 5 7】

本実施の形態においては、 $n p n$ トランジスタ 3 7 と $p n p$ トランジスタ 3 8 とが形成される n^- エピタキシャル層 4 a とは電氣的に分離された n^- エピタキシャル層 4 c に、 $n p n$ トランジスタ 3 7 のエミッタおよびベースと $p n p$ トランジスタ 3 8 のコレクタとが電氣的に接続されている。これにより、半導体基板 9 2 の下部から電子が注入された場合に、電子は n^- エピタキシャル層 4 c の領域に吸収され、回路中に入り込むことが防止される。したがって、サージ保護回路が誤作動することを防止できる。

(実施の形態 5)

図 9 は、本発明の実施の形態 5 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0 0 5 8】

図 9 を参照して、本実施の形態における半導体装置において、 $p n p$ トランジスタ 3 8 のエミッタ領域は、 n^- エピタキシャル層 4 a の表面に形成された p^+ 拡散層 2 2 と、その p^+ 拡散層 2 2 内に形成された p^+ 拡散層 9 f とで構成されている。これにより、 p^+ 拡散層 2 2 は p^+ 拡散層 9 f の周囲を取り囲んでおり、 $p n p$ トランジスタ 3 8 のベース領域である n^- エピタキシャル層 4 a と $p n$ 接合を構成している。なお、 p^+ 拡散層 2 2 は、 p^+ 拡散層 2 1 が形成される工程と同一

の工程により形成されている。

【0059】

なお、これ以外の構成については図5～図7に示す実施の形態3の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0060】

本実施の形態においては、 p^+ 拡散層22は p^+ 拡散層9fの周囲を取り囲んでいる構成となっている。これにより、 pnp トランジスタ38の pn 接合面積が増加するので、より大量の電流を流すことができる。したがって、サージ保護回路がより大きなサージ電流に適応可能となる。

(実施の形態6)

図10は、本発明の実施の形態6におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図11は図10のXI-XI線に沿った断面図である。

【0061】

図10および図11を参照して、本実施の形態における半導体装置は、 n^- エピタキシャル層4a内の nnp トランジスタ37と pnp トランジスタ38とが形成された領域の図中側部を取り囲み、かつ全周において n^+ 拡散層2bと接するように n^+ 拡散層13が形成されている。これにより、 n^- エピタキシャル層4a内の nnp トランジスタ37と pnp トランジスタ38とが形成された領域の図中側部および下部は、 n^+ 拡散層13および n^+ 拡散層2bによって取り囲まれている。 n^+ 拡散層13および n^+ 拡散層2bは、 n^- エピタキシャル層4aよりも不純物濃度が高い。

【0062】

なお、これ以外の構成については図5～図7に示す実施の形態3の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0063】

本実施の形態においては、 n^- エピタキシャル層4a内の nnp トランジスタ

37とpnptランジスタ38とが形成される領域の図中側部および下部が、 n^- エピタキシャル層4aよりも不純物濃度の高い n^+ 拡散層13および n^+ 拡散層2bによって取り囲まれている。これにより、npnランジスタ37のコレクタ領域およびpnptランジスタ38のベース領域にサージ電圧が印加された場合に、サージ電流は n^- エピタキシャル層4aから n^+ 拡散層13および n^+ 拡散層2bへ流れやすくなる。したがって、サージ電流が n^- エピタキシャル層4aから p^- 領域1および p^+ 拡散層3cおよびp型拡散層6cへ流れ込むことが抑止される。これにより、サージ電流のリークが防止され、サージ保護回路が誤作動することが防止される。

(実施の形態7)

図12は、本発明の実施の形態7におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0064】

図12を参照して、本実施の形態における半導体装置は、npnランジスタ37のベース領域とpnptランジスタ38のコレクタ領域とが同一のp型拡散層6gを共有している点で実施の形態3と異なる。このため、 p^+ 拡散層9gおよび n^+ 拡散層8eは、このp型拡散層6g内に形成されている。

【0065】

npnランジスタ37のベース領域は、p型拡散層6gと p^+ 拡散層9gとにより構成されている。この構成においては、npnランジスタ37のベース領域の一番狭い領域は、 n^+ 拡散層8eの図中真下のp型拡散層6gの領域であり、幅t3を有している。幅t3は幅s2よりも狭い。また、p型拡散層6gがnpnランジスタ37のベースとして機能する領域である。

【0066】

なお、これ以外の構成については図5～図7に示す実施の形態3の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0067】

本実施の形態においては、npnランジスタ37のベース領域であるp型拡

散層 6 g と p n p トランジスタ 3 8 のコレクタ領域である p 型拡散層 6 g とは同一の不純物拡散領域よりなっている。このような構成であっても、n p n トランジスタ 3 7 のベース領域の幅 t 3 を p n p トランジスタ 3 8 のベース領域の幅 s 2 よりも狭くすることにより、n p n トランジスタ 3 7 は p n p トランジスタ 3 8 よりもパンチスルー降伏しやすくなる。したがって、正常に動作するサージ保護回路が形成可能となるとともに、不純物拡散領域の数を 1 つ減らすことができるので、半導体装置の製造工程が簡略化する。

(実施の形態 8)

図 1 3 は、本発明の実施の形態 8 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 1 4 は図 1 3 の X I V - X I V 線に沿った断面図である。

【 0 0 6 8 】

図 1 3 および図 1 4 を参照して、本実施の形態における半導体装置 6 2 では、図 5 ～図 7 に示す実施の形態 3 の構成と比較して抵抗素子 3 9 の構成において異なる。

【 0 0 6 9 】

抵抗素子 3 9 は、 n^+ 拡散層 1 9 a により構成されており、n p n トランジスタ 3 7 と p n p トランジスタ 3 8 とが形成された n^- エピタキシャル層 4 a 内に形成されている。この抵抗素子 3 9 となる n^+ 拡散層 1 9 a を電氣的に分離するための p 型拡散層 6 i も n^- エピタキシャル層 4 a 内に形成されている。これにより、 n^+ 拡散層 1 9 a は p 型拡散層 6 i により周囲を覆われている。

【 0 0 7 0 】

この n^+ 拡散層 1 9 a と p 型拡散層 6 i とは、図 1 3 に示すように平面的に見ると n p n トランジスタ 3 7 と p n p トランジスタ 3 8 との形成領域の一方側から、その形成領域をう回して他方側へ達するように半導体基板 9 2 の表面に延在している。また図 7 において、n p n トランジスタ 3 7 と p n p トランジスタ 3 8 との形成領域の図中右側に形成されていた n^+ 拡散層 8 d は、本実施の形態では n p n トランジスタ 3 7 と p n p トランジスタ 3 8 との形成領域の図中左側に形成されている。

【 0 0 7 1 】

なお、 n^+ 拡散層 1 9 a は、たとえば $10^{14} \sim 10^{15}$ 個 / cm^3 の濃度となるように As (ヒ素) を p 型拡散層 6 i の表面に注入することにより形成されている。 n^+ 拡散層 1 9 a と、 p^+ 拡散層 9 g と、 p^+ 拡散層 9 f と、 p^+ 拡散層 9 g および n^+ 拡散層 8 e および p^+ 拡散層 2 1 と、 n^+ 拡散層 8 d と、 p^+ 拡散層 9 h とは、フィールド酸化膜 7 によって各々電氣的に分離されている。

【 0 0 7 2 】

なお、本実施の形態の半導体基板 9 2 内の構成については、図 5 ～ 7 に示す実施の形態 3 の半導体基板 9 2 内の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【 0 0 7 3 】

半導体基板 9 2 表面を覆うように層間絶縁膜 1 0 が形成されている。層間絶縁膜 1 0 にはコンタクトホール 1 1 k、1 1 m、1 1 n、1 1 p、1 1 y、1 1 z が各々形成されている。これにより、 n^+ 拡散層 1 9 a と、 p^+ 拡散層 9 f と、 p^+ 拡散層 9 g および n^+ 拡散層 8 e と、 n^+ 拡散層 8 d と、 p^+ 拡散層 9 h との表面が露出されている。そして、コンタクトホール 1 1 k、1 1 m、1 1 n、1 1 p、1 1 y、1 1 z 内に、たとえばドーフトポリシリコンよりなる配線 1 2 h ～ 1 2 k が形成されている。これにより、 n^+ 拡散層 1 9 a と p^+ 拡散層 9 f とが電氣的に接続されていて、 p^+ 拡散層 9 g および n^+ 拡散層 8 e が電氣的に接続されていて、 n^+ 拡散層 8 d と n^+ 拡散層 1 9 a とが電氣的に接続されている。配線 1 2 h ～ 1 2 k を覆うように層間絶縁膜 1 6 が形成されている。層間絶縁膜 1 6 には、配線 1 2 i と配線 1 2 k との表面を露出するように、図示しないコンタクトホールが各々形成されている。そして、コンタクトホール内に、たとえばドーフトポリシリコンよりなる配線 1 8 (図 1 3) が形成されている。これにより、配線 1 2 i と配線 1 2 k とが電氣的に接続されている。

【 0 0 7 4 】

本実施の形態においては、抵抗素子 3 9 を構成する n^+ 拡散層 1 9 a は、 $n p n$ トランジスタ 3 7 と $p n p$ トランジスタ 3 8 とが形成される n^- エピタキシャル層 4 内に形成されており、かつ n^+ 拡散層 1 9 a は p 型拡散層 6 i により周囲

を各々覆われている。これにより、抵抗素子 3 9 を構成する n^+ 拡散層 1 9 a を流れる電流は、p 型拡散層 6 i により n^- エピタキシャル層 4 内へリークすることが抑止される。したがって、npn トランジスタ 3 7 および pnp トランジスタ 3 8 と電氣的に分離して抵抗素子 3 9 を形成する必要がなくなる。したがって、素子面積が小さくなる。

(実施の形態 9)

図 1 5 は、本発明の実施の形態 9 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 1 6 は図 1 5 の X V I - X V I 線に沿った断面図である。

【0075】

図 1 5 および図 1 6 を参照して、本実施の形態における半導体装置は、抵抗素子 3 9 が導電層 2 0 により形成されている。導電層 2 0 は、半導体基板 9 2 の表面より上に形成されており、たとえばフィールド酸化膜 7 の上に形成されている。導電層 2 0 は、たとえばドーフトポリシリコンよりなる。また、本実施の形態においては、p 型拡散層 6 i および n^+ 拡散層 1 9 a は形成されていない。

【0076】

なお、これ以外の構成については図 1 3、図 1 4 に示す実施の形態 8 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0077】

本実施の形態においては、抵抗素子 3 9 は、npn トランジスタ 3 7 および pnp トランジスタ 3 8 と完全に電氣的に分離されるので、抵抗素子 3 9 にサージ電圧が印可された場合にも、npn トランジスタ 3 7 および pnp トランジスタ 3 8 を形成している領域は影響を受けることはない。したがって、素子面積が小さくなるとともに、サージ保護回路が誤作動することが完全に防止される。

(実施の形態 1 0)

図 1 7 は、本発明の実施の形態 1 0 におけるサージ保護回路を示す回路図である。

【0078】

図 1 7 を参照して、サージ保護回路 5 3 は、 pnp トランジスタ 4 0 と pnp トランジスタ 3 8 と抵抗素子 3 9 とを備えている。 pnp トランジスタ 3 8 のエミッタおよび抵抗素子 3 9 の一方は信号入力端子 3 4 および装置部分 3 6 に電氣的に接続されている。 pnp トランジスタ 4 0 のベースと pnp トランジスタ 3 8 のベースとは互いに電氣的に接続されている。 pnp トランジスタ 4 0 のエミッタは、 pnp トランジスタ 4 0 のベースおよび pnp トランジスタ 3 8 のベースの双方に電氣的に接続されている。抵抗素子 3 9 の他方は、 pnp トランジスタ 4 0 のエミッタおよび pnp トランジスタ 4 0 のベースおよび pnp トランジスタ 3 8 のベースに電氣的に接続されている。 pnp トランジスタ 4 0 のコレクタは、 pnp トランジスタ 3 8 のコレクタおよび接地電位 3 5 に電氣的に接続されている。

【0079】

続いて、実施の形態 1 0 におけるサージ保護回路を備えた半導体装置の構成について説明する。

【0080】

図 1 8 は、本発明の実施の形態 1 0 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0081】

図 1 8 を参照して、半導体装置 6 3 において、たとえばシリコン単結晶よりなる半導体基板 9 3 の下部に、 p^- 領域 1 が形成されている。 p^- 領域 1 の上には注入拡散により n^+ 拡散層 2 が形成されている。この n^+ 拡散層 2 の上に n^- エピタキシャル層 4 が形成されている。この n^- エピタキシャル層 4 の周囲を取り囲むように、 p^- 領域 1 上に p^+ 拡散層 3 f と p 型拡散層 6 p とが形成されている。

【0082】

この n^+ 拡散層 2 および n^- エピタキシャル層 4 内には、サージ保護回路を構成する pnp トランジスタ 4 0 と pnp トランジスタ 3 8 とが形成されている。 pnp トランジスタ 4 0 と pnp トランジスタ 3 8 との各々は、エミッタ領域とベース領域とコレクタ領域とを各々有している。

【0083】

pnpトランジスタ40において、エミッタ領域は、 n^- エピタキシャル層4内に形成された p^+ 拡散層21bと、その p^+ 拡散層21b内に形成された p^+ 拡散層9mとで構成されている。ベース領域は、 n^- エピタキシャル層4と、 n^- エピタキシャル層4内に形成された n^+ 拡散層8と、 n^+ 拡散層2とで構成されている。コレクタ領域は、 n^- エピタキシャル層4内に形成された p^+ 拡散層21aと、 n^- エピタキシャル層4内で p^+ 拡散層21aと隣接するように形成されたp型拡散層6nと、p型拡散層6n内に形成された p^+ 拡散層9nとで構成されている。

【0084】

pnpトランジスタ38において、エミッタ領域は、 n^- エピタキシャル層4内に形成された p^+ 拡散層9kで構成されている。ベース領域は、 n^- エピタキシャル層4と n^+ 拡散層2とで構成されている。コレクタ領域は、p型拡散層6nと p^+ 拡散層9nとで構成されている。

【0085】

なお、図示しないが、p型拡散層6nと p^+ 拡散層9nとは p^+ 拡散層9kの図中横側を取り囲むように半導体基板93の表面に形成されている。

【0086】

n^- エピタキシャル層4内には、抵抗素子を分離するためのp型拡散層6yが形成されていて、抵抗素子39は、p型拡散層6y内に形成された n^+ 拡散層19cにより構成されている。図示しないが、この n^+ 拡散層19cとp型拡散層6yとは、平面的に見るとpnpトランジスタ40とpnpトランジスタ38との形成領域の一方側から、その形成領域をう回して他方側へ達するように半導体基板93の表面に延在している。

【0087】

なお、この構成において、pnpトランジスタ40のベース領域の一番狭い領域は p^+ 拡散層21aの図中横側の n^- エピタキシャル層4の領域であり幅s3を有している。pnpトランジスタ38のベース領域の一番狭い領域は p^+ 拡散層9kの図中横側の n^- エピタキシャル層4の領域であり、幅s4を有している。そしてその幅s3は幅s4よりも狭い。また、 n^- エピタキシャル層4がpnp

トランジスタ40のベースとして機能する領域であり、 n^- エピタキシャル層4がpnpトランジスタ41のベースとして機能する領域である。pnpトランジスタ40のベースとして機能する領域である n^- エピタキシャル層4と、pnpトランジスタ38のベースとして機能する領域である n^- エピタキシャル層4とは、同一の不純物拡散領域よりなっている。

【0088】

なお、 p^+ 拡散層9nが形成される工程と同一の工程により、 n^- エピタキシャル層4の表面には p^+ 拡散層9kが形成され、 p^+ 拡散層21bの表面には p^+ 拡散層9mが形成され、p型拡散層6pの表面には p^+ 拡散層9hが形成されている。 n^+ 拡散層19cと、 p^+ 拡散層9nと、 p^+ 拡散層9kと、 p^+ 拡散層9nおよびp型拡散層6nおよび p^+ 拡散層21aと、 p^+ 拡散層9mと、 n^+ 拡散層8と、 n^+ 拡散層19cと、 p^+ 拡散層9hとは、半導体基板93の主表面に形成されたフィールド酸化膜7によって各々電氣的に分離されている。これにより、pnpトランジスタ40のエミッタ領域である p^+ 拡散層21aとコレクタ領域である p^+ 拡散層21bとは、互いにフィールド酸化膜7をはさむように半導体基板93の主表面に形成されている。

【0089】

半導体基板93表面を覆うように層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール11r~11xが各々形成されている。これにより、 n^+ 拡散層19cと p^+ 拡散層9kと p^+ 拡散層9nと p^+ 拡散層9mと n^+ 拡散層8と p^+ 拡散層9hとの表面が露出されている。そして、コンタクトホール11r~11xの各々を介して上記の露出した各領域に電氣的に接続するように層間絶縁膜10上に、たとえばドーフトポリシリコンよりなる配線12m、12n、12y、12zが形成されている。これにより、 n^+ 拡散層19cと p^+ 拡散層9kとが電氣的に接続されていて、 p^+ 拡散層9mと n^+ 拡散層8と n^+ 拡散層19cとが各々電氣的に接続されている。配線12m、12n、12y、12zを覆うように層間絶縁膜16が形成されている。層間絶縁膜16にはコンタクトホール17e、17fが各々形成されている。そして、コンタクトホール17e、17f内に、たとえばドーフトポリシリコンよりなる配線18が形成されている。

。これにより、配線 1 2 m と配線 1 2 z とが電氣的に接続されている。

【0090】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図 1 7 を参照して、サージ電圧が信号入力端子 3 4 に印加されると、p n p トランジスタ 4 0 のエミッタ・コレクタ間の電圧が上昇することにより、p n p トランジスタ 4 0 が降伏する。p n p トランジスタ 4 0 が降伏すると、抵抗素子 3 9 の両端に電位差が生じて抵抗素子 3 9 に電流が流れ、p n p トランジスタ 3 8 のベースの電位が接地電位になる。これにより p n p トランジスタ 3 8 が ON し、信号入力端子 3 4 に入力されたサージ電圧は p n p トランジスタ 3 8 を介して接地電位 3 5 に開放される。これにより、装置部分 3 6 にサージ電圧が印可されることが防止される。

【0091】

本実施の形態においては、半導体装置 6 3 は図 1 7 の回路を有している。これにより、p n p トランジスタ 4 0 が降伏することにより p n p トランジスタ 3 8 は ON し、信号入力端子 3 4 に印加されたサージ電圧を接地電位 3 5 に開放することができる。したがって、p n p トランジスタ 4 0 が p n p トランジスタ 3 8 よりも降伏しやすい構成にすることにより、サージ保護回路を正常に動作させることができる。

【0092】

本実施の形態においては、p n p トランジスタ 4 0 のベース領域の幅 s 3 は、フィールド酸化膜 7 により自由に制御可能である。したがって、幅 s 3 を幅 s 4 よりも狭くすることにより、p n p トランジスタ 4 0 が p n p トランジスタ 3 8 よりもパンチスルー降伏しやすい構成を容易に作成できる。

（実施の形態 1 1）

図 1 9 は、本発明の実施の形態 1 1 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0093】

図 1 9 を参照して、本実施の形態における半導体装置は、半導体基板 9 3 の主表面に形成された n⁻エピタキシャル層 4 内に n 型拡散層 5 が形成されている。

n型拡散層5は n^- エピタキシャル層4よりも不純物濃度が高い。n型拡散層5は p^+ 拡散層21bの周囲を取り囲むように形成されていて、かつn型拡散層5とp型拡散層6nとは n^- エピタキシャル層4内の主表面に互いに隣接している。また、 p^+ 拡散層21aは形成されていない。

【0094】

pnpトランジスタ40において、ベース領域は、 n^- エピタキシャル層4内に形成されたn型拡散層5で構成されている。コレクタ領域は、 n^- エピタキシャル層4内に形成されたp型拡散層6nと、p型拡散層6n内に形成された p^+ 拡散層9nとで形成されている。この構成においては、pnpトランジスタ40のベース領域の一番狭い領域は、p型拡散層6nの図中横側のn型拡散層5の領域であり幅s3を有している。その幅s3は幅s4よりも狭い。また、n型拡散層5がpnpトランジスタ40のベースとして機能する領域である。n型拡散層5はたとえば約 10^{12} 個/cm³オーダーの不純物濃度となるように n^- エピタキシャル層4の表面にBを注入することにより形成される。

【0095】

なお、これ以外の構成については図17に示す実施の形態10の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0096】

本実施の形態においては、pnpトランジスタ40のベース領域の幅s3は、フィールド酸化膜7により自由に制御可能である。したがって、幅s3を幅s4よりも狭くすることにより、pnpトランジスタ40がpnpトランジスタ38よりもパンチスルー降伏しやすい構成を容易に作成できる。

【0097】

また、本実施の形態においては、pnpトランジスタ40のベースとして機能するn型拡散層5はpnpトランジスタ38のベースとして機能する n^- エピタキシャル層4よりも高い不純物濃度を有している。これにより、pnpトランジスタ40はpnpトランジスタ38よりもアバランシェ降伏しやすい構成を有している。

(実施の形態 1 2)

図 2 0 は、本発明の実施の形態 1 2 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0 0 9 8】

図 2 0 を参照して、本実施の形態における半導体装置は、 p^+ 拡散層 2 1 a が形成されていない。これにより、 $p n p$ トランジスタ 4 0 において、コレクタ領域は、 n^- エピタキシャル層 4 内に形成された p 型拡散層 6 n と、 p 型拡散層 6 n 内に形成された p^+ 拡散層 9 n とで形成されている。また、 $p n p$ トランジスタ 4 0 のエミッタ領域である p^+ 拡散層 2 1 b とコレクタ領域である p 型拡散層 6 n とは、互いにフィールド酸化膜 7 をはさむように半導体基板 9 3 の主表面に形成されている。

【0 0 9 9】

なお、これ以外の構成については図 1 7 に示す実施の形態 1 0 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0 1 0 0】

本実施の形態においては、 p^+ 拡散層 2 1 a が形成されていない。しかし、 $p n p$ トランジスタ 4 0 のベース領域の幅 $s 3$ は、フィールド酸化膜 7 により自由に制御可能である。したがって、幅 $s 3$ を幅 $s 4$ よりも狭くすることにより、 $p n p$ トランジスタ 4 0 が $p n p$ トランジスタ 3 8 よりもパンチスルー降伏しやすい構成を容易に作成できる。したがって、正常に動作するサージ保護回路が形成可能となるとともに、不純物拡散領域の数が減少するので、半導体装置の製造工程が簡略化する。

(実施の形態 1 3)

図 2 1 は、本発明の実施の形態 1 3 におけるサージ保護回路を示す回路図である。

【0 1 0 1】

図 2 1 を参照して、サージ保護回路 5 4 は、 $p n p$ トランジスタ 4 1 と $n p n$ トランジスタ 4 2 とを備えている。 $p n p$ トランジスタ 4 1 のベースと $n p n$ ト

ランジスタ 4 2 のコレクタとが信号入力端子 3 4 および装置部分 3 6 に電氣的に接続されている。p n p トランジスタ 4 1 のベースは、p n p トランジスタ 4 1 のエミッタおよび n p n トランジスタ 4 2 のコレクタに電氣的に接続されている。p n p トランジスタ 4 1 のコレクタは n p n トランジスタ 4 2 のベースに電氣的に接続されている。n p n トランジスタ 4 2 のエミッタは接地電位 3 5 に電氣的に接続されている。

【0 1 0 2】

続いて、実施の形態 1 3 におけるサージ保護回路を備えた半導体装置の構成について説明する。

【0 1 0 3】

図 2 2 は、本発明の実施の形態 1 3 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 2 3 は図 2 2 の X X I I I - X X I I I 線に沿った断面図である。

【0 1 0 4】

図 2 2 および図 2 3 を参照して、半導体装置 6 4 において、たとえばシリコン単結晶よりなる半導体基板 9 4 の下部に、 p^- 領域 1 が形成されている。 p^- 領域 1 の上には注入拡散により n^+ 拡散層 2 が形成されている。この n^+ 拡散層 2 の上に n^- エピタキシャル層 4 が形成されている。この n^- エピタキシャル層 4 の周囲を取り囲むように、 p^- 領域 1 上に p^+ 拡散層 3 i と p 型拡散層 6 r とが形成されている。

【0 1 0 5】

この n^+ 拡散層 2 および n^- エピタキシャル層 4 内には、サージ保護回路を構成する p n p トランジスタ 4 1 と n p n トランジスタ 4 2 とが形成されている。p n p トランジスタ 4 1 と n p n トランジスタ 4 2 との各々は、エミッタ領域とベース領域とコレクタ領域とを各々有している。

【0 1 0 6】

p n p トランジスタ 4 1 において、エミッタ領域は、 n^- エピタキシャル層 4 内に形成された p^+ 拡散層 2 1 c と、その p^+ 拡散層 2 1 c 内に形成された p^+ 拡散層 9 r とで構成されている。ベース領域は、 n^- エピタキシャル層 4 と、 n^+ 拡

散層 2 とで構成されている。コレクタ領域は、 n^- エピタキシャル層 4 内に形成された p^+ 拡散層 2 1 d と、 n^- エピタキシャル層 4 内に形成された p 型拡散層 6 t とで構成されている。

【0 1 0 7】

$n p n$ トランジスタ 4 2 において、コレクタ領域は、 n^- エピタキシャル層 4 内に形成された n^+ 拡散層 8 h と、 n^- エピタキシャル層 4 と、 n^+ 拡散層 2 とで形成されている。ベース領域は、p 型拡散層 6 t で構成されている。エミッタ領域は、p 型拡散層 6 t 内に形成された n^+ 拡散層 8 g で構成されている。

【0 1 0 8】

これにより、 $p n p$ トランジスタ 4 1 のコレクタ領域である p^+ 拡散層 2 1 d と、 $n p n$ トランジスタ 4 2 のベース領域である p 型拡散層 6 t とは、互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されている。また、 $p n p$ トランジスタ 4 1 のエミッタ領域である p^+ 拡散層 2 1 c とベース領域である n^- エピタキシャル層 4 との接合部は、フィールド酸化膜 7 の一方端に接しており、かつコレクタ領域である p^+ 拡散層 2 1 d とベース領域である n^- エピタキシャル層 4 との $p n$ 接合部は、フィールド酸化膜 7 の他方端に接している。

【0 1 0 9】

また、この構成においては、 $p n p$ トランジスタ 4 1 のベース領域の一番狭い領域は、 p^+ 拡散層 2 1 d の図中横側の n^- エピタキシャル層 4 の領域であり、幅 s 5 を有している。 $n p n$ トランジスタ 4 2 のベース領域の一番狭い領域は、 n^+ 拡散層 8 g の図中真下の p 型拡散層 6 t の領域であり、幅 t 4 を有している。そしてその幅 s 5 は幅 t 4 よりも狭い。また、 n^- エピタキシャル層 4 が $p n p$ トランジスタ 4 1 のベースとして機能する領域であり、p 型拡散層 6 t が $n p n$ トランジスタ 4 2 のベースとして機能する領域である。

【0 1 1 0】

なお、 p^+ 拡散層 9 r が形成される工程と同一の工程により、p 型拡散層 6 r の表面に p^+ 拡散層 9 z が形成されている。また、 n^+ 拡散層 8 g が形成される工程と同一の工程により、 n^- エピタキシャル層 4 の表面に n^+ 拡散層 8 h が形成されている。 p^+ 拡散層 9 z と、 n^+ 拡散層 8 g と、p 型拡散層 6 t および p^+ 拡散

層 2 1 d と、 p^+ 拡散層 9 r と、 n^+ 拡散層 8 h とは半導体基板 9 4 の主表面に形成されたフィールド酸化膜 7 によって各々電氣的に分離されている。

【0 1 1 1】

半導体基板 9 4 表面を覆うように層間絶縁膜 1 0 が形成されている。層間絶縁膜 1 0 にはコンタクトホール 2 5 a ~ 2 5 d が各々形成されている。これにより、 p^+ 拡散層 9 z と n^+ 拡散層 8 g と p^+ 拡散層 9 r と n^+ 拡散層 8 h との表面が露出されている。そして、コンタクト 2 5 a ~ 2 5 d の各々を介して上記の露出した各領域に電氣的に接続するように層間絶縁膜 1 0 上に、たとえばドーフトポリシリコンよりなる配線 1 2 p、1 2 q が形成されている。これにより、 p^+ 拡散層 9 z と n^+ 拡散層 8 g とが電氣的に接続されていて、 p^+ 拡散層 9 r と n^+ 拡散層 8 h とが電氣的に接続されている。

【0 1 1 2】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図 2 1 を参照して、サージ電圧が信号入力端子 3 4 に印加されると、 $p n p$ トランジスタ 4 1 のエミッタ・コレクタ間の電圧が上昇することにより、 $p n p$ トランジスタ 4 1 が降伏する。 $p n p$ トランジスタ 4 1 が降伏すると、 $n p n$ トランジスタ 4 2 のベースに電流が流れ、 $n p n$ トランジスタ 4 2 が ON する。 $n p n$ トランジスタ 4 2 が ON すると、信号入力端子 3 4 に入力されたサージ電圧は $n p n$ トランジスタ 4 2 を介して接地電位 3 5 に開放される。これにより、装置部分 3 6 にサージ電圧が印可されることが防止される。

【0 1 1 3】

本実施の形態においては、 $p n p$ トランジスタ 4 1 のベース領域の幅 $s 5$ は、フィールド酸化膜 7 により自由に制御可能である。したがって、幅 $s 5$ を幅 $t 4$ よりも狭くすることにより、 $p n p$ トランジスタ 4 1 が $n p n$ トランジスタ 4 2 よりもパンチスルー降伏しやすい構成を容易に作成できる。

(実施の形態 1 4)

図 2 4 は、本発明の実施の形態 1 4 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0 1 1 4】

図 2 4 を参照して、本実施の形態における半導体装置は、半導体基板 9 4 の主表面に形成された n^- エピタキシャル層 4 内に n 型拡散層 5 が形成されている。

n 型拡散層 5 は n^- エピタキシャル層 4 よりも不純物濃度が高い。 n 型拡散層 5 は p^+ 拡散層 2 1 c の周囲を取り囲むように形成されていて、かつ n 型拡散層 5 と p 型拡散層 6 t とは n^- エピタキシャル層 4 内の主表面に互いに隣接している。また、 p^+ 拡散層 2 1 d は形成されていない。

【0 1 1 5】

$p n p$ トランジスタ 4 1 において、ベース領域は、 n^- エピタキシャル層 4 内に形成された n 型拡散層 5 で構成されている。コレクタ領域は、 n^- エピタキシャル層 4 内に形成された p 型拡散層 6 t で形成されている。この構成においては、 $p n p$ トランジスタ 4 1 のベース領域の一番狭い領域は、 p 型拡散層 6 t の図中横側の n 型拡散層 5 の領域であり幅 s 5 を有している。その幅 s 5 は幅 t 4 よりも狭い。また、 n 型拡散層 5 が $p n p$ トランジスタ 4 1 のベースとして機能する領域である。 $p n p$ トランジスタ 4 1 のコレクタ領域である p 型拡散層 6 t と、 $n p n$ トランジスタ 4 2 のベース領域である p 型拡散層 6 t とは互いに同じ導電型に形成されていて、かつ互いに共通である。

【0 1 1 6】

なお、これ以外の構成については図 2 1 ～図 2 3 に示す実施の形態 1 3 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0 1 1 7】

本実施の形態においては、 $p n p$ トランジスタ 4 1 のベース領域である n 型拡散層 5 と、 $n p n$ トランジスタ 4 2 のベース領域である p 型拡散層 6 t とは互いに逆導電型の領域よりなっている。これにより、 $p n p$ トランジスタ 4 1 のベースの幅 s 5 を $n p n$ トランジスタ 4 2 のベースの幅 t 4 よりも狭くすることで、 $p n p$ トランジスタ 4 1 は $n p n$ トランジスタ 4 2 よりもパンチスルー降伏しやすい構成となる。また、 $p n p$ トランジスタ 4 1 のベースとして機能する n 型拡散層 5 を $n p n$ トランジスタ 4 2 のベースとして機能する p 型拡散層 6 t よりも不純物濃度を高くすることで、 $p n p$ トランジスタ 4 1 は $n p n$ トランジスタ 4

2 よりもアバランシェ降伏しやすい構成となる。

【0 1 1 8】

なお、本実施の形態においては、図 1、図 5、図 1 7 の回路を有する半導体装置の場合について説明したが、本発明はこのような場合に限られるものではなく、信号入力端子に電氣的に接続され、かつ第 1 のトランジスタと第 2 のトランジスタとを有するサージ保護回路を備えた半導体装置であればよい。また、不純物拡散領域の形成方法については、本実施の形態における条件に限られるものではなく、他の条件であってもよい。

【0 1 1 9】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 1 2 0】

【発明の効果】

以上により、本発明の半導体装置は、第 1 のトランジスタのベース領域の一番狭い領域が第 2 のトランジスタのベース領域の一番狭い領域とは異なる幅を有する構成により、第 1 のトランジスタが第 2 のトランジスタよりも降伏しやすくなるようにされている。したがって、サージ電圧が信号入力端子に印加された場合に、第 1 のトランジスタが降伏することにより第 2 のトランジスタが ON し、それにより信号入力端子に印加されたサージ電圧が開放されるような回路が構成されることにより、正常に動作するサージ保護回路を備える半導体装置となる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 におけるサージ保護回路を示す回路図である。

【図 2】 本発明の実施の形態 1 におけるサージ保護回路の構成を概略的に示す平面図である。

【図 3】 図 2 の I I I - I I I 線に沿った断面図である。

【図 4】 本発明の実施の形態 2 におけるサージ保護回路を備えた半導体装

置の構成を概略的に示す断面図である。

【図 5】 本発明の実施の形態 3 におけるサージ保護回路を示す回路図である。

【図 6】 本発明の実施の形態 3 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 7】 図 6 の V I I - V I I 線に沿った断面図である。

【図 8】 本発明の実施の形態 4 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 9】 本発明の実施の形態 5 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 1 0】 本発明の実施の形態 6 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 1 1】 図 1 0 の X I - X I 線に沿った断面図である。

【図 1 2】 本発明の実施の形態 7 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 1 3】 本発明の実施の形態 8 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 1 4】 図 1 3 の X I V - X I V 線に沿った断面図である。

【図 1 5】 本発明の実施の形態 9 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 1 6】 図 1 5 の X V I - X V I 線に沿った断面図である。

【図 1 7】 本発明の実施の形態 1 0 におけるサージ保護回路を示す回路図である。

【図 1 8】 本発明の実施の形態 1 0 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 1 9】 本発明の実施の形態 1 1 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 2 0】 本発明の実施の形態 1 2 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図 2 1】 本発明の実施の形態 1 3 におけるサージ保護回路を示す回路図である。

【図 2 2】 本発明の実施の形態 1 3 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 2 3】 図 2 2 の X X I I I - X X I I I 線に沿った断面図である。

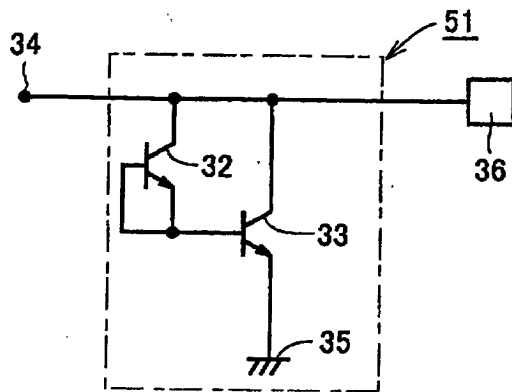
【図 2 4】 本発明の実施の形態 1 4 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【符号の説明】

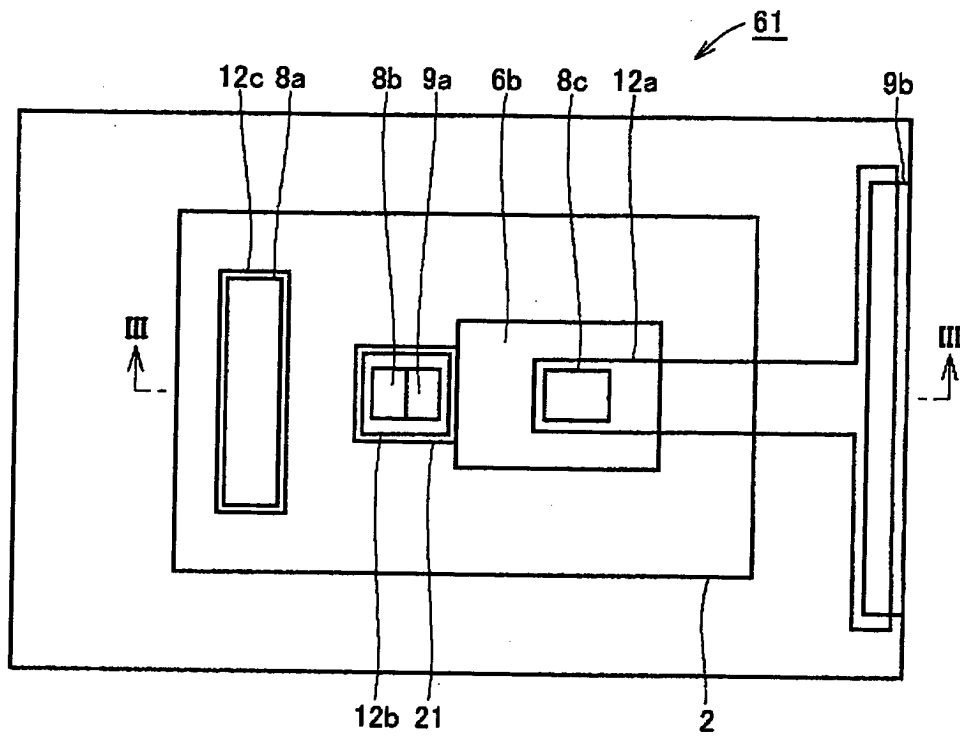
1 p^- 領域、2, 2 a ~ c, 8, 8 a ~ 8 h, 1 3, 1 9 a, 1 9 c n^+ 拡散層、3 a, 3 c, 3 f, 3 i, 9 a ~ d, 9 f ~ h, 9 k, 9 m, 9 n, 9 r, 9 z, 1 5, 2 1, 2 1 a, 2 1 b, 2 1 c, 2 1 d, 2 2 p^+ 拡散層、4, 4 a, 4 b, 4 c n^- エピタキシャル層、5 n 型拡散層、6 a ~ c, 6 g, 6 i, 6 n, 6 p, 6 r, 6 t, 6 y p 型拡散層、7 フィールド酸化膜、8, 8 a ~ 8 h, 1 9 a, 1 9 c n^+ 拡散層、1 0, 1 6 酸化膜、1 1 a ~ k, 1 1 m, 1 1 n, 1 1 p ~ z, 1 7 a, 1 7 b, 1 7 e, 1 7 f, 2 5 a ~ d コンタクトホール、1 2 a ~ k, 1 2 m, 1 2 n, 1 2 p, 1 2 q, 1 2 y, 1 2 z, 1 8 配線、2 0 導電層、3 2, 3 3, 3 7, 4 2 $n p n$ トランジスタ、3 4 信号入力端子、3 5 接地電位、3 6 装置部分、3 8, 4 0, 4 1 $p n p$ トランジスタ、3 9 抵抗素子、5 1 ~ 5 4 サージ保護回路、6 1 ~ 6 4 半導体装置、9 1 ~ 9 4 半導体基板。

【書類名】 図面

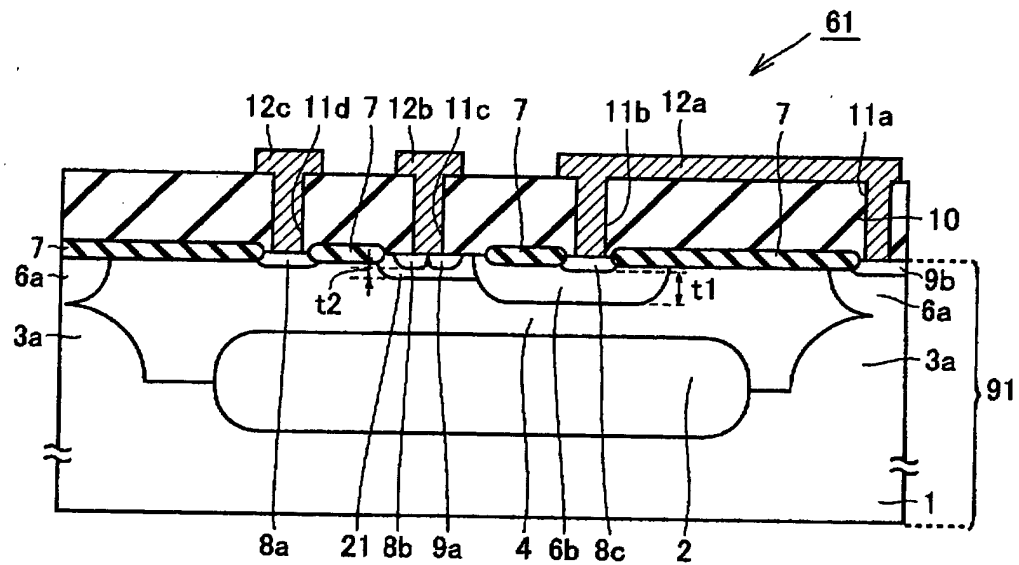
【図 1】



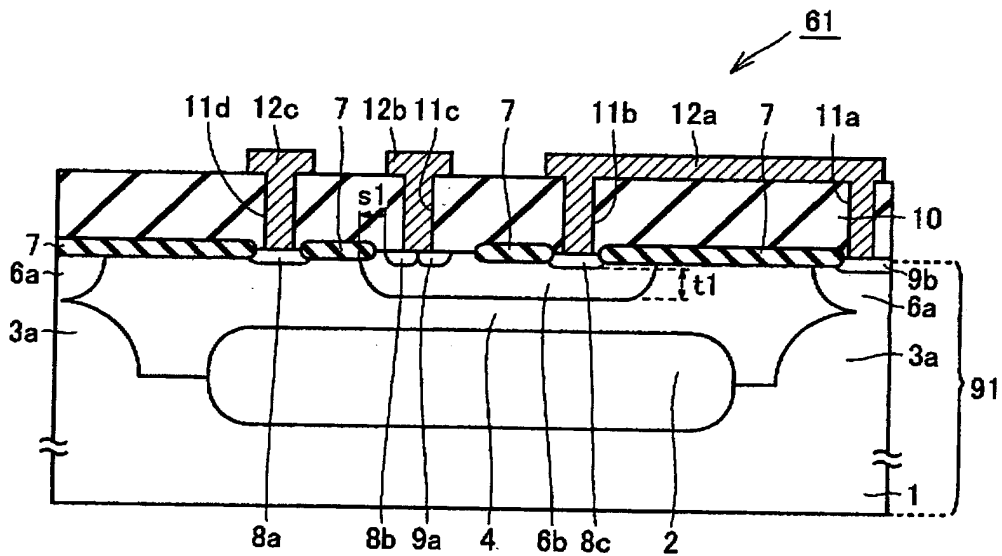
【図 2】



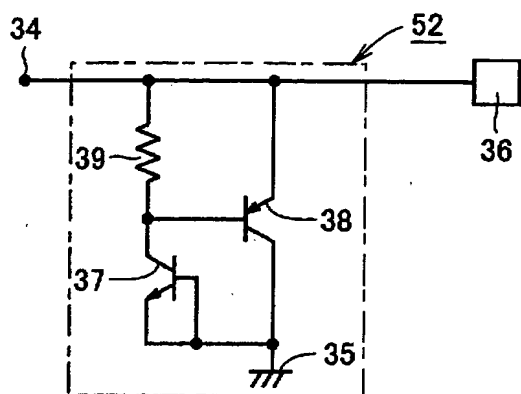
【図 3】



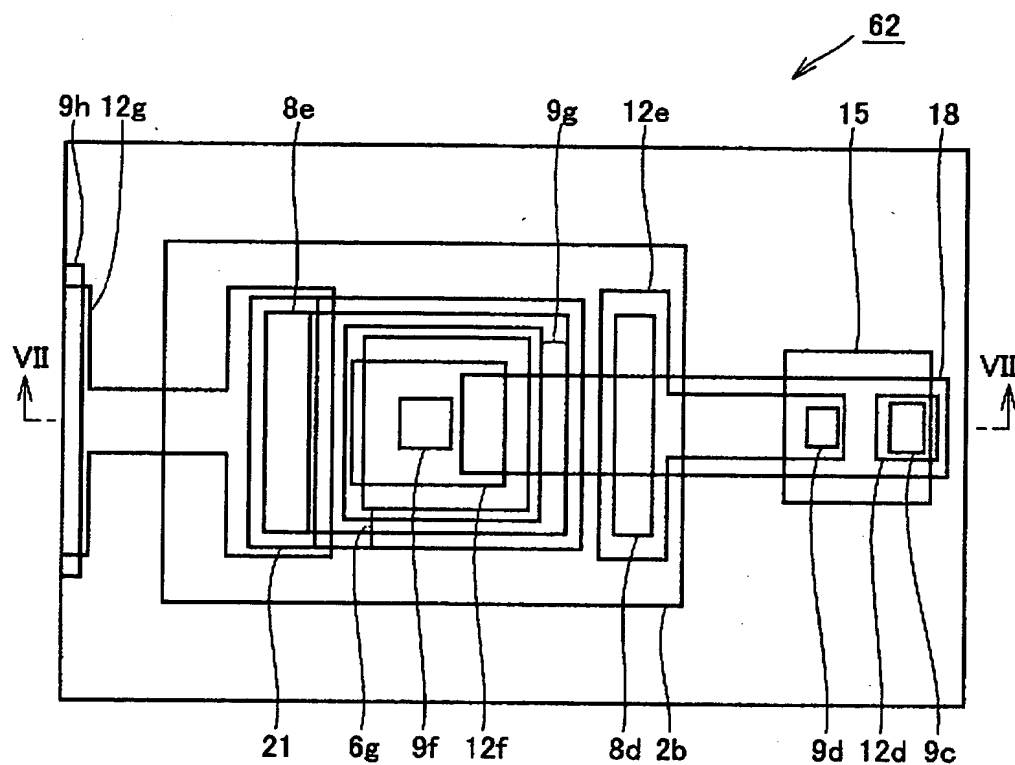
【図 4】



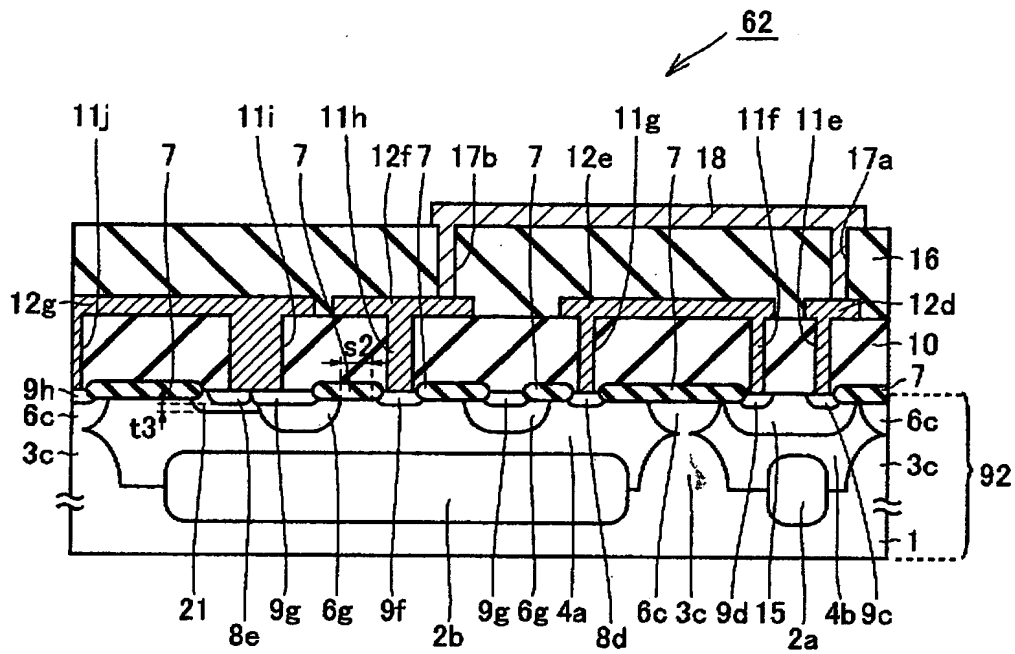
【図 5】



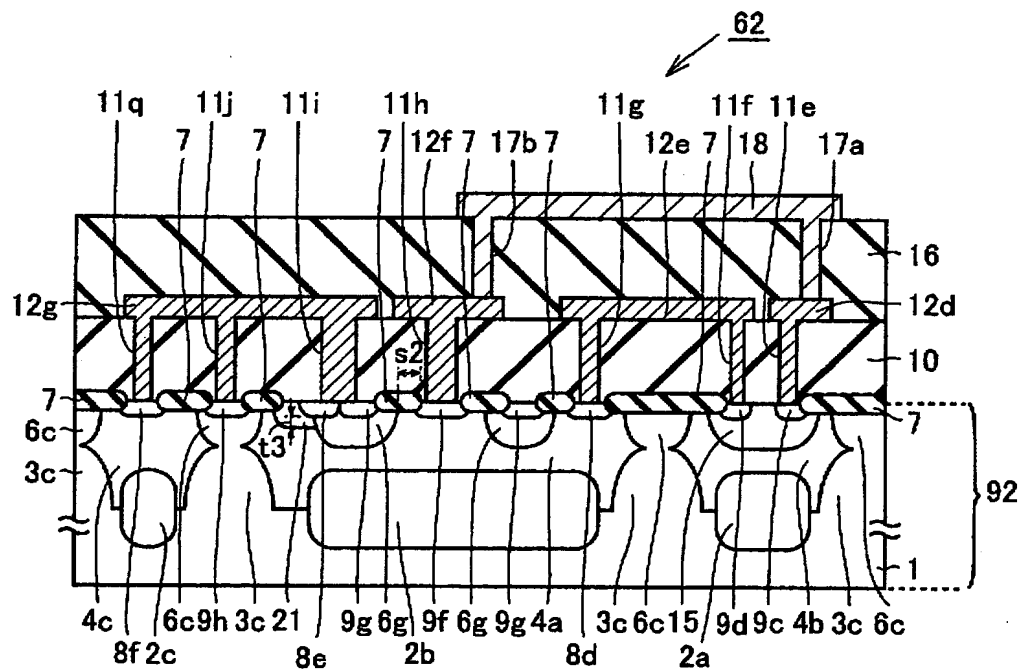
【図 6】



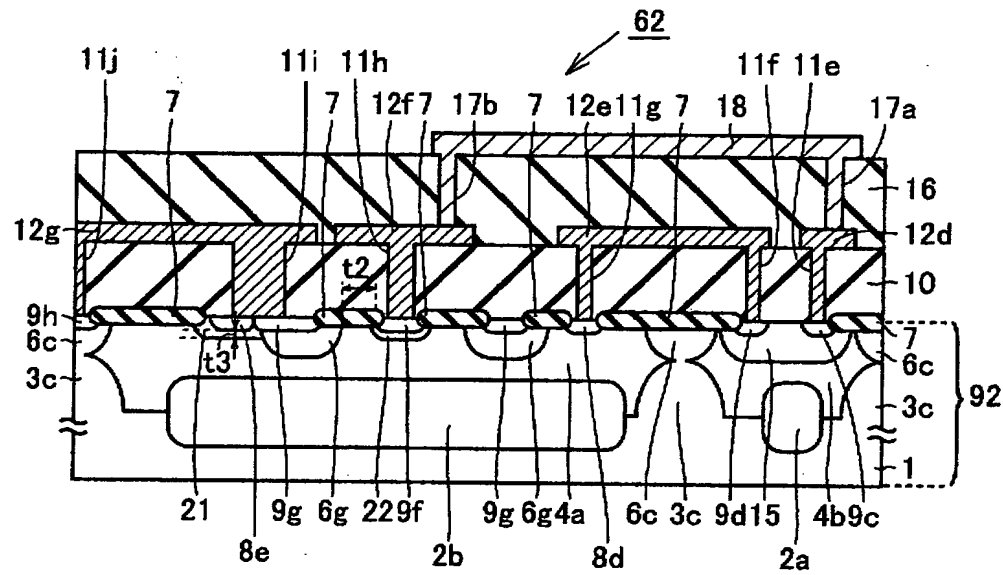
【图 7】



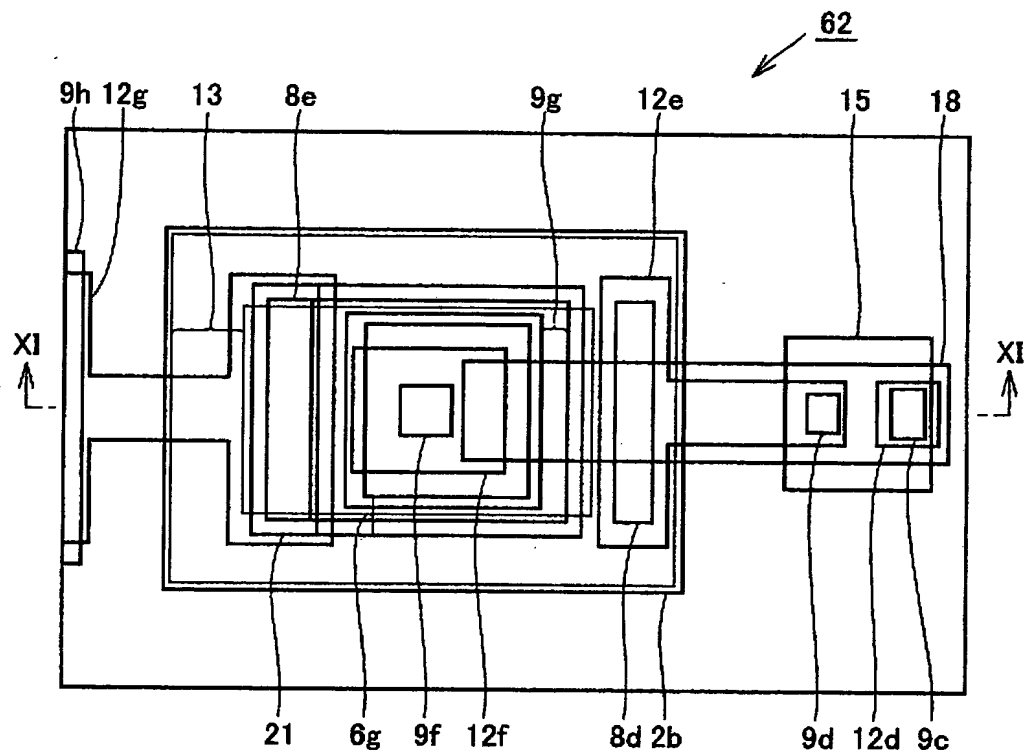
【図 8】



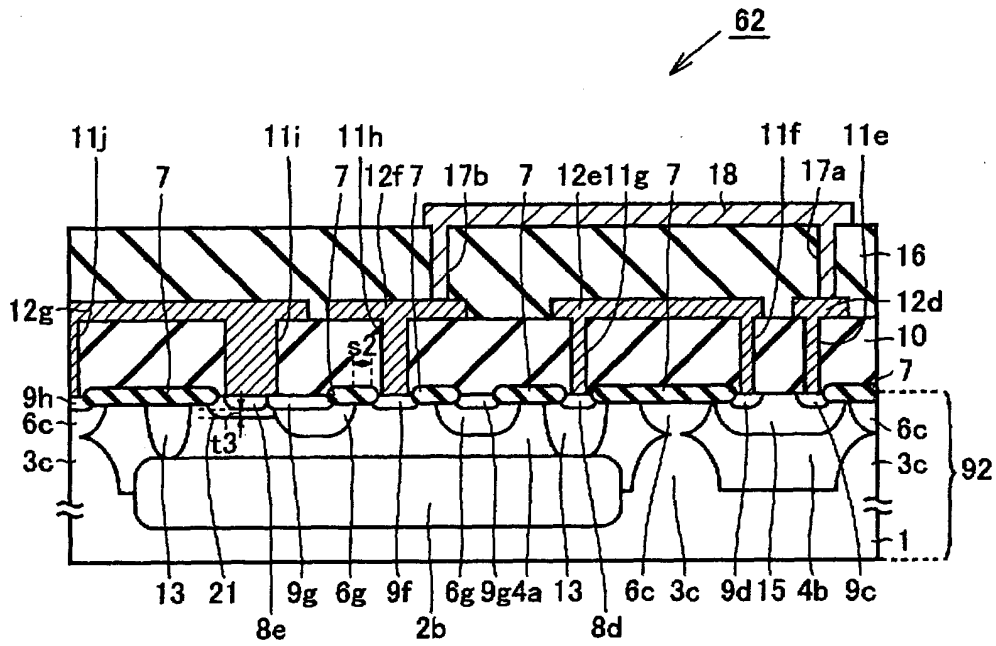
【图 9】



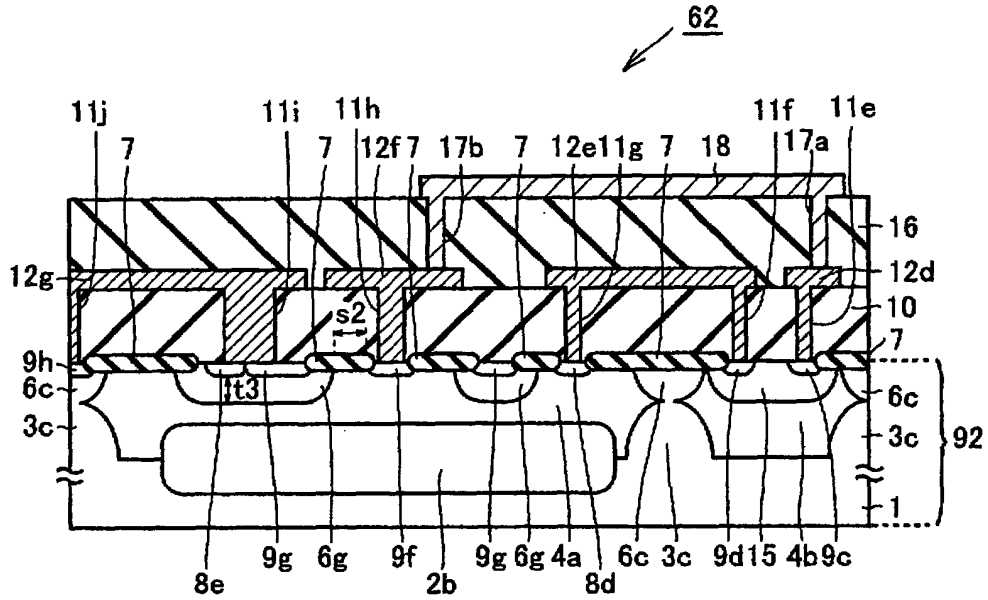
【図 10】



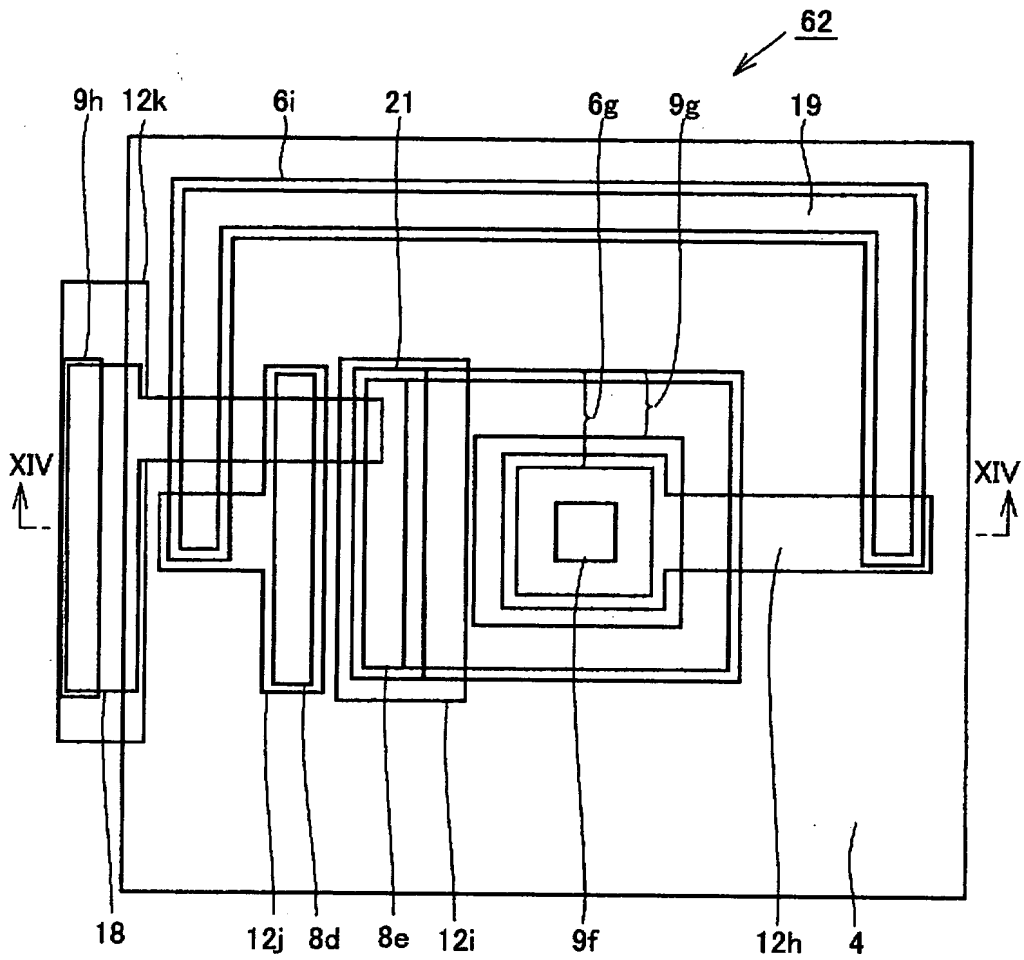
【図 11】



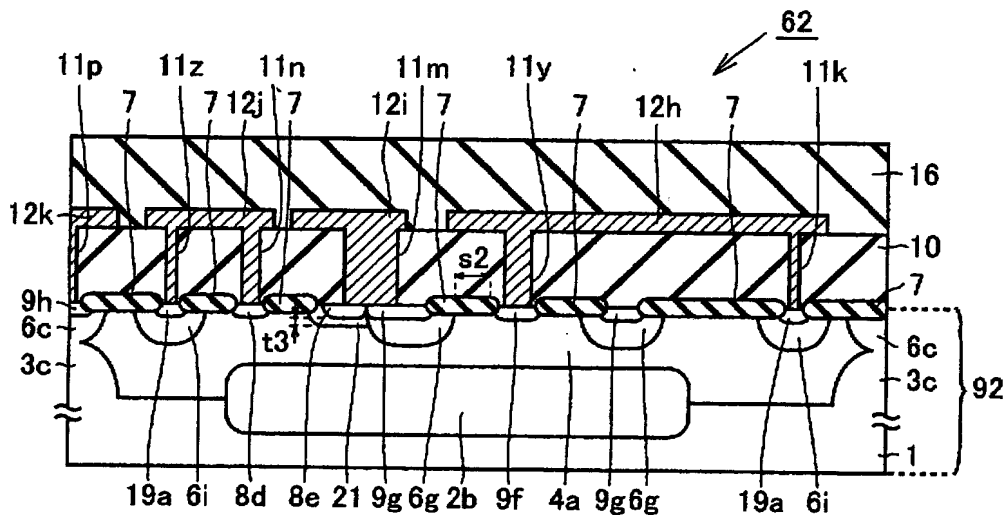
【図 12】



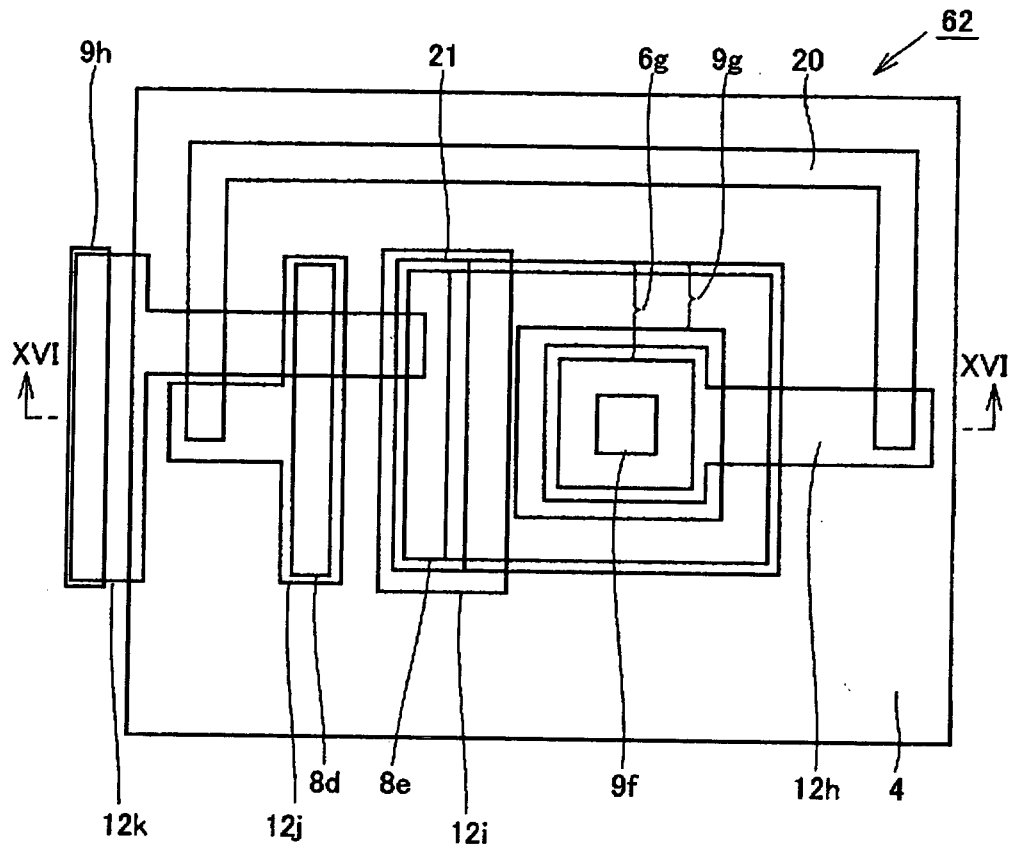
【図 13】



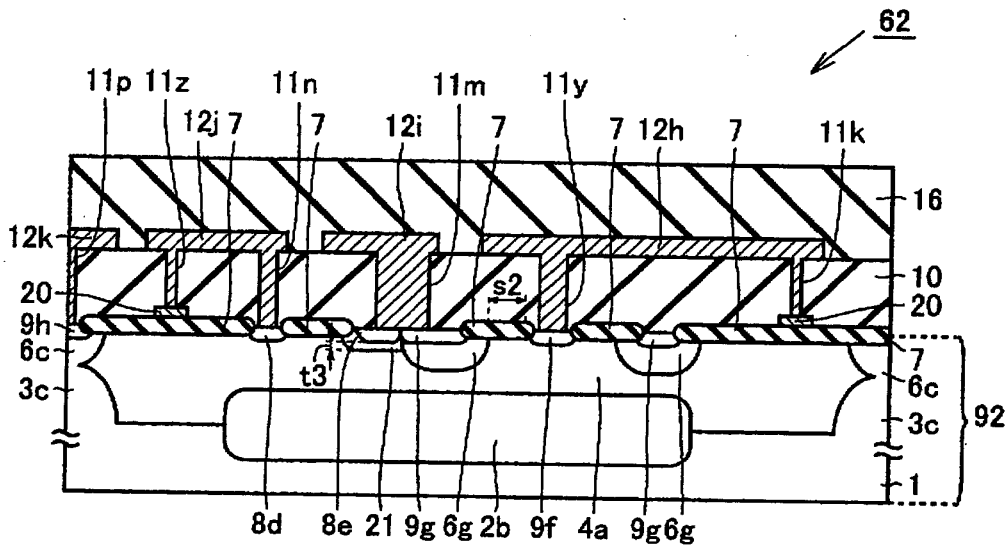
【図 14】



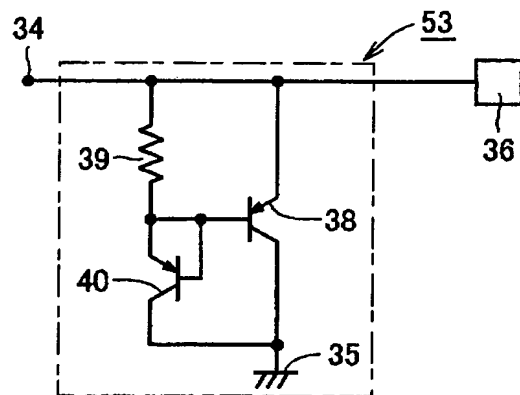
【図 15】



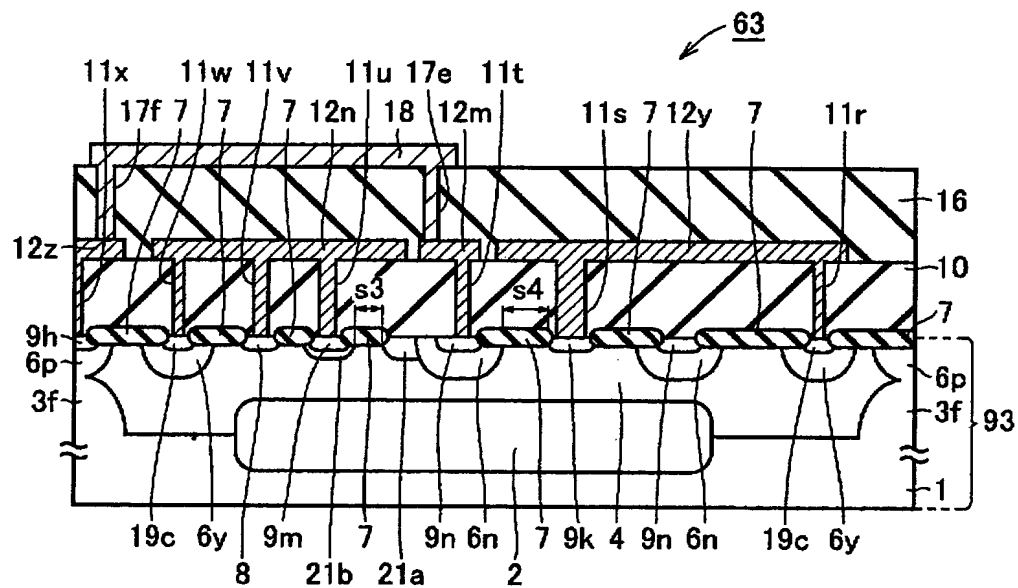
【図 16】



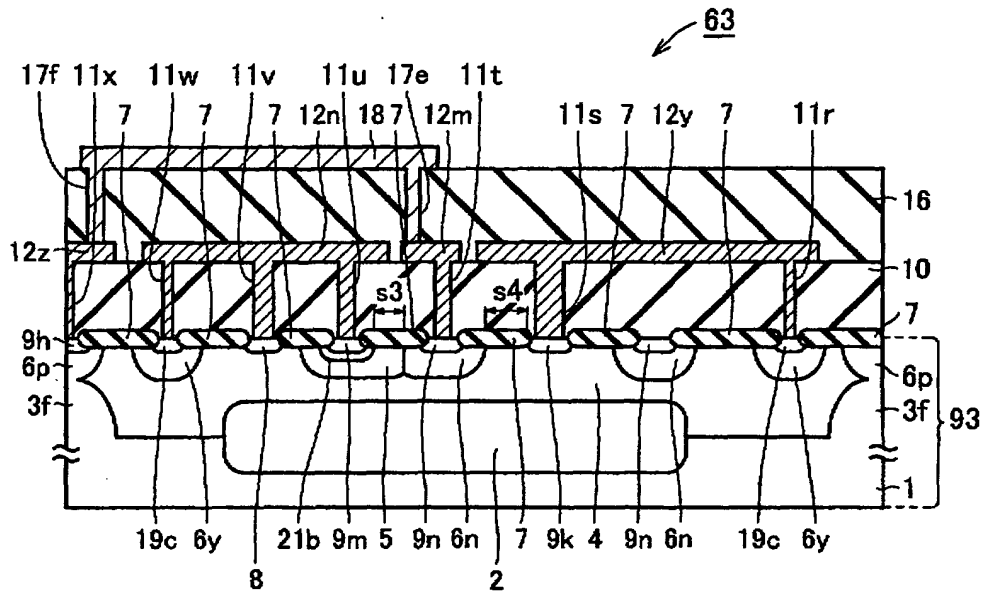
【図 1 7】



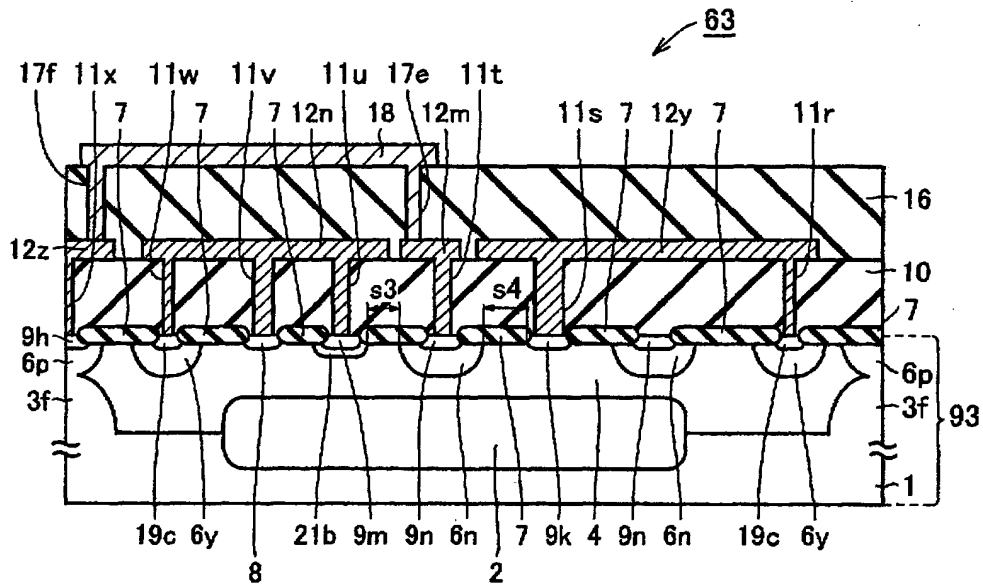
【図 1 8】



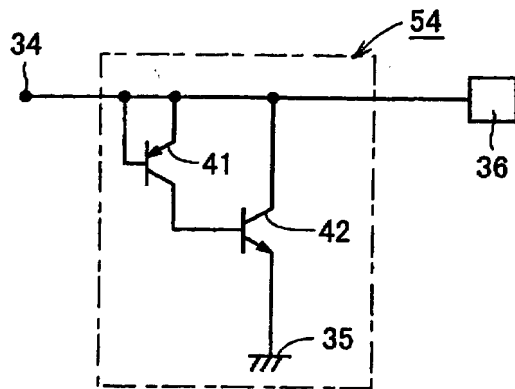
【図 1 9】



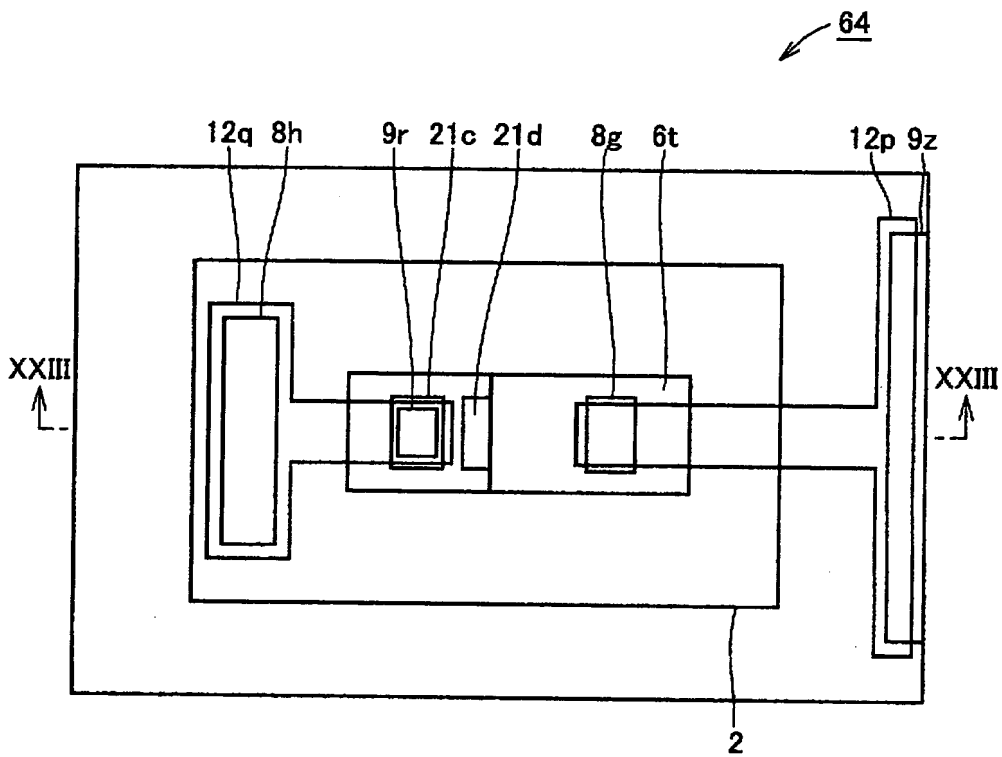
【図 2 0】



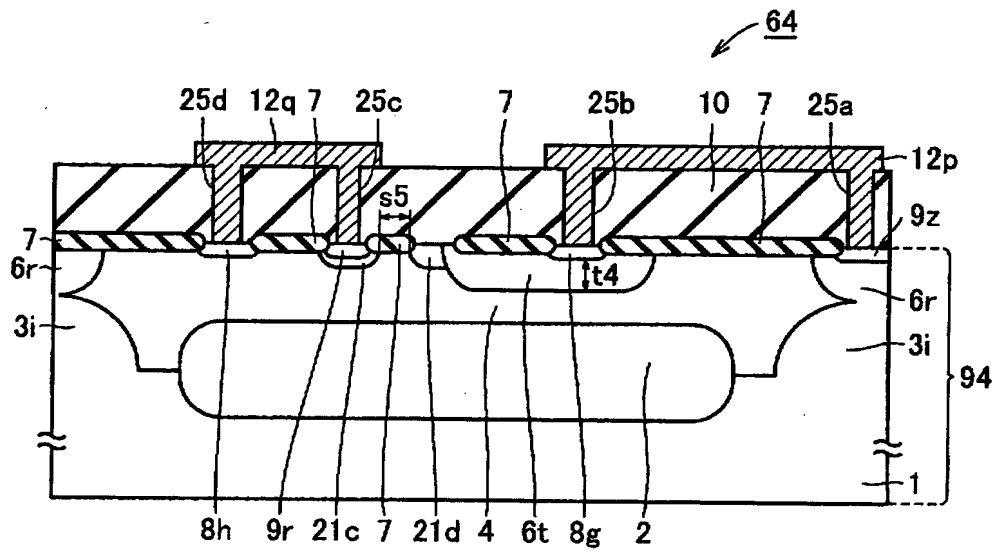
【図 2 1】



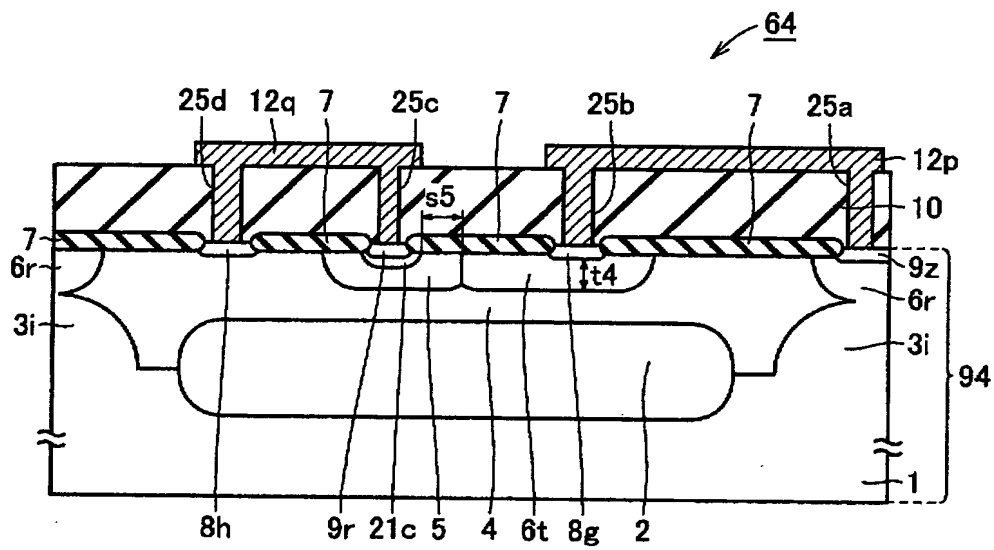
【図 2 2】



【図 2 3】



【図 2 4】



【書類名】 要約書

【要約】

【課題】 正常に動作するサージ保護回路を備える半導体装置を提供する。

【解決手段】 本発明のサージ保護回路を備える半導体装置は、信号入力端子 3 4 に電氣的に接続され、かつ n p n トランジスタ 3 2 と n p n トランジスタ 3 3 とを有するサージ保護回路 5 1 を備えた半導体装置であって、n p n トランジスタ 3 2 のベースの一番狭い領域が n p n トランジスタ 3 3 のベースの一番狭い領域とは異なる幅を有する構成を有することにより、n p n トランジスタ 3 2 が n p n トランジスタ 3 3 よりも降伏しやすくなるように構成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名 三菱電機株式会社

出 願 人 履 歴 情 報

識別番号

[000162320]

1. 変更年月日

1990年 8月24日

[変更理由]

新規登録

住 所

東京都渋谷区松濤2丁目20番4号

氏 名

協栄産業株式会社